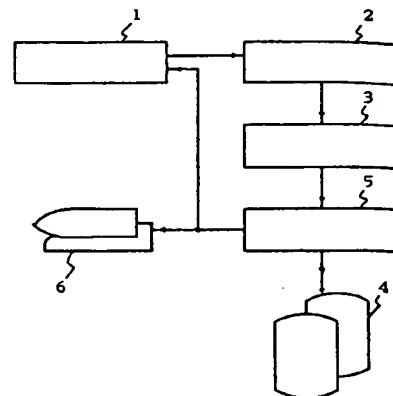


(54) PICTURE DATA OPTIMIZATION SYSTEM

(11) 5-120424 (A) (43) 18.5.1993 (19) JP
 (21) Appl. No. 3-275985 (22) 24.10.1991
 (71) TOHOKU NIPPON DENKI SOFTWARE K.K. (72) HIROMI HATANAKA
 (51) Int. Cl.⁵. G06F15/68, G09G5/36

PURPOSE: To clearly see a picture by automatically removing an alias by selecting an optimal filter at each edge picture element, reducing the variation of the picture data and minimizing staircase-like looking of oblique line, etc., after removing the alias without manual intervention.

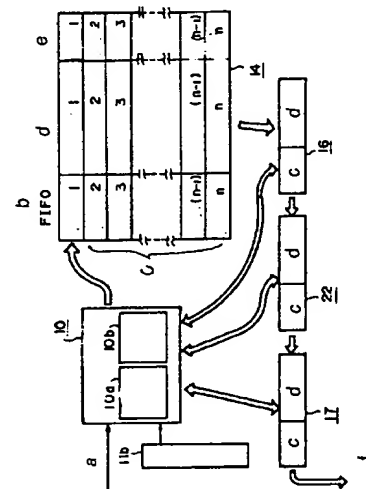
CONSTITUTION: This system is equipped with a picture data storage device 1 which stores the picture data, picture data analyzing device 2 which extracts an edge picture element from the picture data, and turns it into a functional curve, and analyzed result storage device 3 which stores the coordinate of the extracted edge picture element, and the parameter of the functional curve. And also, the device is equipped with a knowledge data base 4 which preliminarily stores filters whose weighting are different by using the relation between the picture element and the functional curve as a retrieval key, picture data updating device 5 which updates the picture data by judging the relation between each edge picture element of the analyzed result storage device 3 and the functional curve, and referring to the knowledge data base 4, and display device 6 which displays the picture data.

**(54) LABELING CIRCUIT FOR PICTURE PROCESSING**

(11) 5-120425 (A) (43) 18.5.1993 (19) JP
 (21) Appl. No. 3-308546 (22) 28.10.1991
 (71) KAWASAKI STEEL CORP (72) TOSHIMI KOBAYASHI(1)
 (51) Int. Cl.⁵. G06F15/70

PURPOSE: To reduce the memory capacity of a working memory.

CONSTITUTION: The picture elements of a binary picture for one screen are successively inputted to a label deciding circuit 10 as picture elements under consideration, temporary label run data constituted of at least an address part and a label part are prepared, and written in a temporary label run memory 14. At that time, the temporary label run data are prepared by the label deciding circuit 10 by using at least an address counter 11b, right reference register 16, and middle reference register 22. Therefore, the constituting elements of the prepared temporary label run data are reduced, and the issue of the unnecessary temporary label can be reduced.



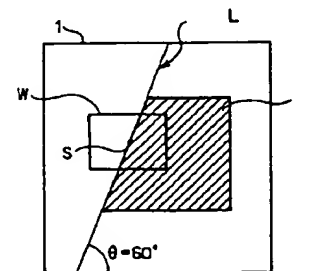
17: left reference register, a: input of picture element under consideration, b: FIFO type, c: address, d: label, e: flag, f: run data with interim label, 10a: combination judging part, 10b: label deciding part

(54) PICTURE PROCESSOR EQUIPPED WITH CALCULATED RESULT DISPLAY FUNCTION

(11) 5-120426 (A) (43) 18.5.1993 (19) JP
 (21) Appl. No. 3-280546 (22) 30.9.1991
 (71) OMRON CORP (72) MASAHIRO KAWACHI
 (51) Int. Cl.⁵. G06F15/70

PURPOSE: To easily decide whether or not a calculated result is correct by displaying a measurement value concerned with the characteristic pattern of an object to be measured together with the mark of a line or the like.

CONSTITUTION: An object M in a window W set within a video monitor screen 1 has a side S as a characteristic pattern, and a line L passing through one point on the side S, and having the inclination of the side S is extended to a screen frame by a computer graphics method. And also, a side angle θ searched by the measurement is displayed in the neighborhood of the intersection of the line L on the screen with the screen frame as the angle $\theta=60^\circ$. And also, a circular-arc of a prescribed radius is drawn only by the side angle θ with the intersection of the line L with the screen frame as the center. Thus, when the characteristic pattern of the object M to be measured is present, for example, on the side, the line(mark) L passing through one point of the side is displayed on the screen, and the angle data(characteristic amount) θ searched by the calculation is displayed in the neighborhood of the mark L.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-120425

(49)公開日 平成5年(1993)5月18日

(51)Int.Cl.⁹

G 0 6 F 15/70

識別記号

3 3 0 A 9071-5L

庁内整理番号

F 1

技術表示箇所

審査請求 未請求 請求項の数2(全 30 頁)

(21)出願番号 特願平3-308548

(22)出願日 平成3年(1991)10月28日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 小林 利巳

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

(72)発明者 川井 龍太郎

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

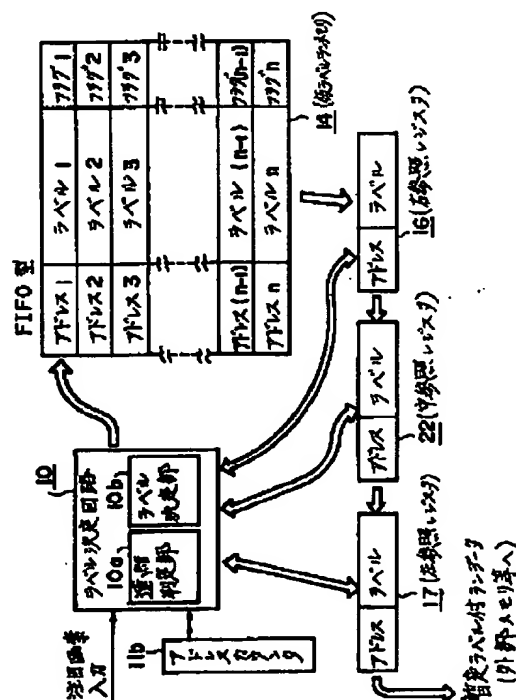
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 画像処理のラベル付け回路

(57)【要約】

【目的】 作業用メモリのメモリ容量の低減を図る。

【構成】 ラベル決定回路10には、1画面分の2値画像の画素が順次注目画素として入力され、少なくともアドレス部とラベル部とで構成される仮ラベルランデータが生成され、これは仮ラベルランメモリ14に書き込まれる。このラベル決定回路10における仮ラベルランデータの生成の際には、少なくともアドレスカウンタ11bと右参照レジスタ16と中参照レジスタ22が用いられる。従って、生成される仮ラベルランデータの構成要素は少なく、不必要な仮ラベルの発行を低減することができる。



(2)

特開平5-120425

1

【特許請求の範囲】

【請求項1】1画面内の2値画像を、所定のマスクでラストスキャン方向に走査しながら、注目画素の周囲画素との連結性を主として識別し、ラベルを求めて付与する画像処理のラベル付け回路において、

前記注目画素のラストスキャン方向の位置を示すアドレスカウンタと、

ラストスキャン方向ほぼ1ライン分の各ランの始点アドレス、仮ラベル、及び注目ランと前ラインのランとの非連結性を示す連結フラグを格納するFIFO型の仮ラベルランメモリと、

前記アドレスカウンタの値と、前記仮ラベルランメモリから順次読み出される各ランの始点アドレスとを比較して、前記注目画素と前ラインのランとの連結性を判定する連結判定部とを備え、

これらを用いて、注目画素の周囲画素との連結性を判定することを特徴とする画像処理のラベル付け回路。

【請求項2】1画面内の2値画像を、所定のマスクでラストスキャン方向に走査しながら、注目画素の周囲画素との連結性を主として識別し、ラベルを求めて付与する画像処理のラベル付け回路において、

前記注目画素のラストスキャン方向の位置を示すアドレスカウンタと、

ラストスキャン方向ほぼ1ライン分の各ランの始点アドレス、仮ラベル、及び注目ランと前ラインのランとの非連結性を示す連結フラグを格納するFIFO型の仮ラベルランメモリと、

前記アドレスカウンタの値と、前記仮ラベルランメモリから順次読み出される各ランの始点アドレスとを比較して、前記注目画素に対して左上の左参照ランの暫定ラベルを決定する暫定ラベル選択部とを備え、

当該ラベル付け回路の次段の暫定ラベル本ラベル変換処理の負担を減少したことを特徴とする画像処理のラベル付け回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1画面内の2値画像を、所定のマスクでラストスキャン方向に走査しながら、注目画素の周囲画素との連結性を主として識別し、ラベルを求めて付与する画像処理のラベル付け回路に係り、特に、作業用メモリのメモリ容量の低減、ないしは発行される仮ラベル（暫定ラベル）の数を低減することが可能な画像処理のラベル付け回路に関する。

【0002】

【従来の技術】近年、マイクロプロセッサ（以降、MPUと呼ぶ）等のデジタル処理装置の処理能力の向上により、様々な分野でデジタル処理装置を用いた自動化が図られている。

【0003】又、画像処理技術の進歩に伴い、例えば、工場における部品検査や、医療分野における血球の検

2

査、細胞診等において、検査対象の画像中の部品の数や、血球、細胞の数を自動的に計数することが行われるようになってきている。

【0004】所定の画面内の物体の計数のためには、この画面内の、例えば、白、黒、2値の画像の領域の把握を行わなければならない。このために、この画面内のそれぞれの画素間の連結性を判定しなければならない。例えば、1画面内の2値画像を、所定のマスクでラストスキャン方向に走査しながら、注目画素の周囲画素との連結性を主として識別し、例えば黒に相当する各領域毎にラベルを求めて付与する処理が行われている。以降、このような処理を、画像処理のラベル付けと呼ぶ。

【0005】このような画像処理のラベル付けによれば、例えば、ラベル付けのなされた各領域毎の面積や、周囲長さや、主軸モーメントや、主軸角度等を求めることが可能である。

【0006】一般に、画像処理のラベル付けは、次のような3段階の処理である。

【0007】A. 暫定ラベル付け（暫定ラベル付け画像データと、暫定ラベルの修正のための変換関係を示す暫定ラベルテーブルデータとの生成）

B. ラベルテーブル整理

C. 最終ラベル付け（本ラベル付画像データの生成）

【0008】なお、以降、1画面内でラストスキャンする開始点から終了点（一般的には画面の左端から右端へのスキャン）までの1単位を、ラインと呼ぶ。又、前記ライン中でのスキャン開始点（通常は左端）からの位置をアドレスと呼ぶ。注目画素のアドレスを、注目アドレスと呼ぶ。注目アドレスの次のアドレス（注目アドレス+1）は、次注目アドレスと呼ぶ。又、注目画素があるライン及びランを、それぞれ、注目ライン、注目ランと呼ぶ。注目ラインの直前のラインは、前ラインと呼ぶ。

【0009】なお、ランとは、同一ライン中での同一ラベルの付与された画素列である。又、このようなランが開始するアドレス及び終了するアドレスを、それぞれ、始点アドレス、終点アドレスと呼ぶ。

【0010】なお、暫定ラベルとは、最終的に確定されるまでのラベルであり、本ラベルとは最終的に確定したラベルである。又、注目ランに最初に付与されるラベルで、次には暫定ラベルに更新されるラベルを仮ラベルと呼ぶ。過去に発行されたラベル中で最新のラベル（一般には過去に発行されたラベル中で値が最大のラベル）を、新ラベルと呼ぶ。

【0011】前述の画像処理のラベル付けの技術としては、様々な技術が開示されている。

【0012】例えば、特開平2-48778では、注目画素とこれに隣接する画素とからなる一般的な2値マスクを用いると共に、隣接する画素が属する隣接ランに付与されるラベルを代表するランラベルと、隣接ランが複数存在している場合に、隣接ランのラベルのうち最も新し

(3)

特開平5-120425

3

いラベルである連結ラベルとの2値マスク状態を仮ラベル選択制御部にて比較し、正当性を検査してラベル付けを行うという技術が開示されている。即ち、この技術では、注目画素とこれに隣接する画素とからなるマスク内の画素のみならず、このマスク外の画素のラベルをも用いて正当性を検査してラベル付けを行うというものである。

【0013】この特開平2-48778によれば、画像処理のラベル付け回路における仮ラベル（あるいは暫定ラベルに相当）付けに際し、この仮ラベルの数（種類）が大幅に増加してしまい、結果として処理途中で仮ラベルのオーバーフローが発生してしまったり、仮ラベル同士の連結等を目的とする統合処理部の負担が大きくなってしまったりすることを防止することができる。

【0014】又、特開昭62-77687では、暫定ラベル付け画像データ等、画像処理のラベル付け回路における画像データの構成を、同一ラベルとされる連続画素の始点座標データと、該連続画素の終点座標データと、該連続画素のラベル値を記憶する識別子データとにより構成するという技術が開示されている。

【0015】この特開昭62-77687の技術によれば、画像処理のラベル付け回路における作業用メモリ等のメモリ容量の低減を図ることが可能である。

【0016】又、特開昭62-9478では、 $m \times n$ 画素のマスクを用いて、ラスタスキャン型の所定の画像中の各領域へのラベル付けを行うラベリングプロセッサにおいて、MAX・MIN型のラベル関係テーブル（本発明の暫定ラベルテーブルにほぼ相当）を用いることにより、作業用メモリへのメモリアクセス回数の低減を図るという技術が開示されている。

【0017】このMAX・MIN型のラベル関係テーブルは、テーブルアドレスが変換元ラベルであり、テーブルデータが変換先ラベルであり、各テーブルアドレスへは該テーブルアドレスの値よりも小さい値であるテーブルデータのみが書き込まれているものである。

【0018】又、この特開昭62-9478では、ラベル分離検出部を備え、異なるラベル値である2つの連結する画素が合流するJOINT点において、MAX・MIN型テーブルのMAXとMINが等しくないことが検出された場合には、分離検出フラグをセットするようにしている。この分離検出フラグがセットされた場合には、ラベル関係テーブルのテーブル変換を繰り返すようにして、同一物体であるにも拘らず部分的に異なるラベリングが行われ、分離してしまうことを防止するようにしている。

【0019】

【発明が達成しようとする課題】しかしながら、前述の特開平2-48778には、連結している画素に異なるラベルが付与されてしまうという問題がある。

【0020】図21は、従来の画像処理のラベル付け回

4

路のラベル付け経過を示す線図である。

【0021】この図21においては、特開平2-48778によるラベル付けの経過が示されている。即ち、この図21では、符号G1から符号G5へと進むに従って、1画面内の2値画像に対するラベル付けが進行する。

【0022】この図21において、1画面の画素は、合計 $(3 \times 9 = 27)$ 個の画素となっている。又、該図21において、×印は、2値のレベルが“1”となっている画素を示している。又、数字は仮ラベルあるいは暫定ラベルを示し、“F”は2値のレベルが“1”であると判定され、ラベル付けは保留となっている画素を示す。

【0023】この図21において、まず符号G1では、3行9列の合計27画素で構成されている画面の1行目の符号 g_1 までラベル付けされている。なお、1行目の画素のラベル付けでは他の行（次の行等）との連結性が不明であるため、9列目の画素の2値のレベルが“1”（×）であっても、ラベル付けはされず、“F”とされる。

20 【0024】符号G2では、符号 g_2 までのラベル付けが完了している。前ライン9列目の画素と注目ラインの7列目～9列目の画素に“1”の仮ラベル付けがなされている。又、注目ラインの1列目～3列目の画素は、“F”とされている。

【0025】符号G3では、符号 g_3 までのラベル付けが完了している。この符号G3の段階では、前記G2の段階で“F”とされた画素の仮ラベルが、3行目の3列目～5列目の画素と共に“2”とされている。

30 【0026】符号G4では、符号 g_4 までラベル付けされている。この符号G4の段階では、1行目及び2行目で“1”の仮ラベルの画素との連結が判定され、3行目で3列目～6列目の画素の仮ラベルが“1”とされている。

【0027】符号G5では、全ての画素に対するラベル付けが完了する。

【0028】符号G5で示されるように、当該特開平2-48778のラベル付けによれば、本来同一のラベルとされるべき画素に異なるラベルが付与されてしまっている。即ち、該符号G5において、仮ラベル“1”の画素と仮ラベル“2”の画素とは、共に“1”の仮ラベルが付与されなければならない。

【0029】又、特開昭62-77687では、注目ラインとの連結性を判定していない（これから判定する）前ラインのランが複数である場合の処理が全く言及されておらず、実際の画像処理を行う点で問題を有している。

【0030】又、前述の特開昭62-9478では、各画素のラベルの記憶を各画素毎に行っていると推定され、画像処理のラベル付け回路内部における作業用メモリのメモリ容量が多くなってしまうという問題がある。

50 【0031】本発明は、前記従来の問題点を解決するべ

(4)

特開平5-120425

5

くなされたもので、作業用メモリのメモリ容量の低減を図ることが可能な、画像処理のラベル付け回路を提供することを第1課題とする。

【0032】あるいは、本発明は、発行される仮ラベル（暫定ラベル）の数を低減することが可能な、画像処理のラベル付け回路を提供することを第2課題とする。

【0033】

【課題を達成するための手段】本発明は、1画面内の2値画像を、所定のマスクでラスタスキャン方向に走査しながら、注目画素の周囲画素との連結性を主として識別し、ラベルを求めて付与する画像処理のラベル付け回路において、前記注目画素のラスタスキャン方向の位置を示すアドレスカウンタと、ラスタスキャン方向ほぼ1ライン分の各ランの始点アドレス、仮ラベル、及び注目ランと前ラインのランとの非連結性を示す連結フラグを格納するFIFO型の仮ラベルランメモリと、前記アドレスカウンタの値と、前記仮ラベルランメモリから順次読み出される各ランの始点アドレスとを比較して、前記注目画素と前ラインのランとの連結性を判定する連結判定部とを備え、これらを用いて、注目画素の周囲画素との連結性を判定することにより、前記第1課題を達成したものである。以降、この発明を第1発明と呼ぶ。

【0034】又、1画面内の2値画像を、所定のマスクでラスタスキャン方向に走査しながら、注目画素の周囲画素との連結性を主として識別し、ラベルを求めて付与する画像処理のラベル付け回路において、前記注目画素のラスタスキャン方向の位置を示すアドレスカウンタと、ラスタスキャン方向ほぼ1ライン分の各ランの始点アドレス、仮ラベル、及び注目ランと前ラインのランとの非連結性を示す連結フラグを格納するFIFO型の仮ラベルランメモリと、前記アドレスカウンタの値と、前記仮ラベルランメモリから順次読み出される各ランの始点アドレスとを比較して、前記注目画素に対して左上の左参照ランの暫定ラベルを決定する暫定ラベル選択部とを備え、当該ラベル付け回路の次段の暫定ラベル本ラベル変換処理の負担を減少したことにより、前記第2課題を達成したものである。以降、この発明を第2発明と呼ぶ。

【0035】

【作用】本願の第1発明及び第2発明は、注目画素の周囲画素との連結性を識別するための、既に仮ラベルの付与された画素を、同一ライン中での同一ラベルが付与された画素列単位、即ちラン単位に、始点アドレス及び仮ラベルのFIFO型の仮ラベルランメモリに記憶するようにしている。従って、画素単位にラベルを格納する場合に比べ、作業用メモリのメモリ容量の低減を図ることができる。

【0036】又、このようなFIFO型の仮ラベルランメモリを用いることにより、注目ラン（注目画素）との連結性が判定されていない（これから判定する）前ライ

6

ンのランが複数であっても、適切な連結判定を行うことができる。

【0037】なお、注目ランとの連結性が判定されていない（これから判定する）前ラインのランの数は、ラスタスキャン方向のほぼ1ライン分のランの数であるが、これは常に一定ではない。従って、仮ラベルランメモリに記憶できるランの数、即ち該仮ラベルランメモリの記憶容量は、ラスタスキャン方向のほぼ1ライン分のランの数のピークを考慮して決定する。

10 【0038】なお、本願第1発明及び第2発明では、入力される2値画像のラベル“0”の部分（背景部分）は、仮ラベル“0”のランとして前記仮ラベルランメモリに書き込む。これにより、前記仮ラベルランメモリに書き込まれるランのデータの構成は、始点アドレスと仮ラベルとの構成、即ち、終点アドレスが不要となっている。更に、このような始点アドレスと仮ラベルとのデータ構成によれば、ランの連結性の判定や、ラベルの決定の処理をより単純にすることができる。

20 【0039】又、本願第1発明では、FIFO型の仮ラベルランメモリを用いると共に、注目画素のラスタスキャン方向の位置を示すアドレスカウンタの値との比較により、該注目画素と前ラインのランとの連結性を判定する際、該仮ラベルランメモリから順次読み出される少なくとも1個以上のランの始点アドレスと比較するようにしている。例えば、前記仮ラベルランメモリから順次読み出される2個のランの始点アドレスと、前記アドレスカウンタの値とを比較して注目画素の連結性を判定するようにした場合には、前ラインの2個のランとの連結性を判定することができる。あるいは、前記仮ラベルランメモリから順次読み出される3個あるいはそれ以上のランの始点アドレスとアドレスカウンタの値とを比較して注目画素との連結性を判定する場合には、該注目画素と前ラインの3個のランあるいはそれ以上のランとの連結性を判定することができる。

30 【0040】なお、前述の特開昭62-77687でも、座標の比較により連結を判定しているが、比較される座標が本発明とは異なっており、このため、比較する手段の構成も異なっており、前述の本発明の作用効果はない。

40 【0041】なお、本願の第2発明は、特に、前述のように注目画素に対して前ラインの複数のランの連結性を判定した際の、注目画素に対して左上の欄の暫定ラベルを決定することができるようになっている。従って、この発明によれば、当該ラベル付け回路において次段の暫定ラベル本ラベル変換処理の負担を減少することが可能である。

【0042】図1は、本発明の要旨を示すブロック図である。

50 【0043】本発明の画像処理のラベル付け回路は、主に、アドレスカウンタ11bと、ラベル決定回路10

(5)

特開平5-120425

7

と、仮ラベルランメモリ14とにより構成されている。又、前記仮ラベルランメモリ14から順次読み出される各ランの始点アドレスを一時的に記憶するために、右参照レジスタ16と、必要に応じて、中参照レジスタ22と、左参照レジスタ17とを備える。

【0044】前記アドレスカウンタ11bは、注目画素のラスタスキャン方向の位置をカウントする。

【0045】前記仮ラベルランメモリ14は、ラスタスキャン方向のほぼ1ライン分の各ランの始点アドレス、仮ラベル、及び注目ランと前ラインのランとの非連結性を示す連結フラグを格納するFIFO型のメモリである。なお、この仮ラベルランメモリのレコード数は、少なくとも、1ライン中に発生すると予想されるラン数のピークを考慮して決定される。

【0046】前記右参照レジスタ16と、中参照レジスタ22と、左参照レジスタ17とは、それぞれ、アドレス及びラベルが記憶される。又、前記仮ラベルランメモリ14から読み出されたランのアドレス及びラベルは、順に、右参照レジスタ16、中参照レジスタ22、左参照レジスタ17をシフトしていく。

【0047】前記ラベル決定回路10は、主に、連結判定部10aと、ラベル決定部10bとにより構成されている。

【0048】例えば本願の第1発明として、注目画素と前ラインのランとの連結性を判定する場合には、連結判定部10aを、少なくとも右参照レジスタ16のアドレス、必要に応じて中参照レジスタ22のアドレス及び左参照レジスタ17のアドレスと、前記アドレスカウンタ11bの値とを比較する。

【0049】従って、このような本願の第1発明によれば、作業用メモリである仮ラベルランメモリ14へのラベル等の書き込みはラン毎となっているので、画素毎とした場合に比べ、記憶容量を減少することができる。

又、本発明によれば、ラベル決定回路10で行われる比較処理は、アドレスカウンタ11bに対して、仮ラベルランメモリ14から順次読み出されるランの始点アドレスを比較するというものであり、前述の特開昭62-77687の始点アドレスと終点アドレスの如く1個のランに2種類のアドレスがあって、複数のランの2種類のアドレスを比較することに比べて、比較的容易に行うことができる。従って、この場合には、より効果的に仮ラベルあるいは暫定ラベルを決定することができる。

【0050】又、例えば本願の第2発明として、まず、連結判定部10aは、右参照レジスタ16のアドレスと、中参照レジスタ22のアドレスと、左参照レジスタ17のアドレスと、アドレスカウンタ11bとを比較して、注目画素あるいは右参照ランと、中参照ランあるいは左参照ランが連結するか判定する。この判定で、連結有りとなされた場合には、ラベル決定部10bは、右参照レジスタ16のラベル、中参照レジスタ22のラベル、

8

あるいは左参照レジスタ17のラベルのうち、連結有りとされたランのラベル同士を比較して、場合によっては、中参照ランや左参照ランのラベルをも変更する。

【0051】このような本願の第2発明のラベル付け回路によれば、当該ラベル付け回路の次段の暫定ラベル本ラベル変換処理の負担を減少することができる。

【0052】なお、図2は、注目画素と、注目ランと、注目ラインと、前ラインと、右参照ランと、中参照ランと、左参照ランとの関係を説明するための線図である。

10 【0053】この図2において、注目画素1は、ラインi且つアドレスjの画素である。なお、このラインi及びアドレスjは、それぞれ、注目ラインあるいは注目アドレスである。

【0054】又、右参照ランは、始点アドレスが(j+1)以上で、且つ、前ライン(i-1)中で、始点アドレスが最小のランである。この図2では、右参照ランは、前ライン(i-1)のラベル“6”のランである。

20 【0055】中参照ランは、始点アドレスがj以下で、且つ、前ライン(i-1)中で始点アドレスが最大のランである。この図2では、中参照ランは、前ライン(i-1)のラベル“0”のランである。

【0056】左参照ランは、前記中参照ランの左隣のランである。図2では、左参照ランは、前ライン(i-1)のラベル“5”のランである。

【0057】なお、右参照ランの始点アドレス、中参照ランの始点アドレス、及び左参照ランの始点アドレス等、それぞれのランの始点アドレスを、単にランのアドレスとも呼ぶ。

30 【0058】なお、仮ラベルランメモリ14でラン毎に暫定ラベルへの書き換え有無を示す連結フラグを備えるようにした場合には、後述する本発明の実施例で詳細に説明するように、暫定ラベル決定をより効果的に行うことができる。

【0059】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0060】図3は、本発明の第1実施例の全体ブロック図である。

40 【0061】この図3に示される如く、本実施例の画像処理のラベル付け回路は、処理部として主に、画素データ入力部11と、連結判定部12と、連結ラベル比較部13と、仮ラベル選択部19と、暫定ラベル1選択部20と、暫定ラベル2選択部24とにより構成されている。

50 【0062】又、本実施例の画像処理のラベル付け回路は、カウンタあるいはレジスタとして主に、新ラベルカウンタ18と、前注目ラン仮ラベルレジスタ25と、注目ランレジスタ21と、右参照ランレジスタ16と、中参照ランレジスタ22と、左参照ランレジスタ17と、外部出力レジスタ23とにより構成されている。

9

【0063】又、本実施例の画像処理のラベル付け回路は、メモリあるいはテーブルとして主に、仮ラベルランメモリ14と、暫定ラベルテーブル15とにより構成されている。

【0064】なお、この図3において、矢印の付された波線は画素データの流れを示し、矢印の付された実線はアドレスの流れを示し、矢印の付された間隔の大きい破線はラベルの流れを示し、矢印の付された太線はフラグの流れを示し、矢印の付された間隔の細かい破線は制御信号の流れを示す。

【0065】以下、これらの構成要素の説明を、図4～図12を用いてより詳細に説明する。

【0066】図4は、前記第1実施例の画素データ入力部のブロック図である。

【0067】この図4において、画素データ入力部11は、変化点検出回路11aと、始点アドレスレジスタ11bと、アドレスカウンタ11cとを備えている。

【0068】画像処理のラベル付けが開始されると、ラストスキャン方向に走査される1画面内の2値画像の各画素が、順次入力端子T1から入力される。即ち、この入力端子T1からは、走査された各画素の2値（“0”であるか“1”であるか、即ち“白”であるか“黒”であるか）の値が入力される。

【0069】なお、入力端子T1から入力される2値画像は、以降の説明では、背景が“0”（あるいは“白”）であるとする。

【0070】前記変化点検出回路11aは、入力端子T1から入力される画素の値（2値）が前回入力された画素の値と異なる場合に、変化点信号CDFを出力する。

【0071】前記アドレスカウンタ11bは、入力端子T1から入力された画素のラストスキャン方向（通常は水平方向）の位置をカウントする。即ち、該アドレスカウンタ11bは、各ラインの走査の前にリセットされて値が“0”となり、この後、各ラインの終了点まで、入力端子T1から画素が入力される毎にカウントアップ（値を“1”だけ増加）していく。なお、該アドレスカウンタ11bの値は、注目画素アドレスACTとして読み出される。

【0072】前記始点アドレスレジスタ11cは、注目ランの始点アドレスを保持する。即ち、該始点アドレスレジスタ11cは、前記変化点検出回路11aから変化点信号CDFが入力されると、このときの前記アドレスカウンタ11bの値が書き込まれる。なお、注目画素のレベルが“1”（X）の場合のみ、該始点アドレスレジスタ11cの値は、始点アドレスASとして読み出される。

【0073】図5は、前記第1実施例の連結判定部12のブロック図である。

【0074】該連結判定部12では、注目画素と、中参照ランあるいは右参照ランとの連結の有無を判定する。

(6)

特開平5-120425

10

該連結判定部12は、主に、中参照ラン比較器12aと、右参照ラン比較器12bとにより構成されている。

【0075】前記中参照ラン比較器12aは、前記注目画素アドレスACTと、後述する中参照ランアドレスACとを比較して、注目画素と中参照ランとが連結有りと判定された場合には、中参照ラン連結信号CACを出力する。

【0076】前記右参照ラン比較器12bは、前記注目画素アドレスACTと、後述する右参照ラン始点アドレスとを比較して、注目画素と右参照ランとの連結の有無を判定する。該右参照ラン比較器12bは、注目画素と右参照ランとが連結すると判定した場合には、右参照ラン連結信号CARを出力する。

【0077】図6～図8は、全体として前記第1実施例の連結ラベル比較部のブロック図となる。

【0078】これら図6～図8に示されるように、連結ラベル比較部13は、主に、前注目ラン仮ラベル比較器13aと、中参照ランラベル比較器13bと、右参照ランラベル比較器13cと、仮ラベル選択判定器13dと、新ラベルカウンタ制御器13eと、暫定ラベルテーブル制御器13fと、注目ラン連結フラグ制御器13gと、新ラベル接続フラグ制御器13hと、注目ラン連結フラグ13iと、新ラベル接続フラグ13jと、暫定ラベル1選択判定器13kと、暫定ラベル2選択判定器13mとを備えている。

【0079】まず図6において、前記前注目ラン仮ラベル比較器13aは、後述する新ラベルカウンタ18が出力する新ラベルLNと、後述する前注目ラン仮ラベルレジスタ25が出力する仮ラベルLBとを比較して、仮ラベル一致信号CLTを出力する。

【0080】前記中参照ランラベル比較器13bは、後述する新ラベルLNと、後述する中参照ランレジスタ22が出力する中参照ランラベルLCとを比較して、中ラベル一致信号CLCを出力する。

【0081】前記右参照ランラベル比較器13cは、後述する仮ラベル選択部19が出力する仮ラベルLTと、後述する右参照ランレジスタ16が出力する右参照ランラベルLRとを比較して、右ラベル一致信号CLRを出力する。

【0082】図7において、前記仮ラベル選択判定器13d、前記新ラベルカウンタ制御器13e、前記暫定ラベルテーブル制御器13fは、それぞれ所定の処理（図13～図19を用いて、総括的に後述する）を行って、それぞれ、仮ラベル選択信号CLT、新ラベルカウンタ制御信号CLN、暫定ラベルテーブル制御信号CZTを出力する。

【0083】前記注目ラン連結フラグ制御器13gは、所定の制御条件（図13～図19を用いて、総括的に後述する）に従って、前記注目ラン連結フラグ13iのセットないしはリセットを行う。なお、該注目ラン連結フ

(7)

特開平5-120425

11

ラグ13iの状態は、注目ラン連結フラグ信号CFCとして出力される。又、この注目ラン連結フラグ信号CFCによる連結フラグを用いることにより、連結性をより効果的に判定できる。

【0084】前記新ラベル接続フラグ制御器13hは、所定の制御条件（図13～図19を用いて、総括的に後述する）に従って、前記新ラベル接続フラグ13jのセットないしはリセットを行う。なお、該新ラベル接続フラグ13jの状態は、新ラベル接続フラグ信号CFNとして出力される。

【0085】図8において、前記暫定ラベル1選択判定器13k、暫定ラベル2選択判定器13mは、それぞれ所定の処理（図13～図19を用いて、総括的に後述する）を行って、それぞれ暫定ラベル1選択信号CZ1、暫定ラベル2選択信号CZ2を出力する。

【0086】図9は、本第1実施例の、仮ラベル選択部19、注目ランレジスタ21、前注目ラン仮ラベルレジスタ25、仮ラベルランメモリ14の周辺のブロック図である。

【0087】この図9に示されるように、仮ラベル選択部19は、前記仮ラベル選択判定器13dが出力する仮ラベル選択信号CLTに従って、後述する新ラベルカウンタ18が出力する新ラベルLN、後述する右参照ランレジスタ16が出力する右参照ランラベルLR、あるいは後述する左参照ランレジスタ17が出力する左参照ランラベルLLのいずれか1のラベルを選択して、これを仮ラベルLTとして出力する。

【0088】前記注目ランレジスタ21は、前記始点アドレスレジスタ11cが出力する始点アドレスASと、前記仮ラベル選択部19が出力する仮ラベルLTと、前記注目ラン連結フラグ13iが出力する注目ラン連結フラグ信号CFCとを保持するレジスタである。該注目ランレジスタ21は、後述する仮ラベルランメモリ14に格納する前の現在注目しているランの、アドレス、ラベル、及び連結フラグを保持する。

【0089】なお、該注目ラン連結フラグ制御器13gは、注目ランが参照ランに連結していると判定された場合に、注目ラン連結フラグ13iをセットする。

【0090】前記前注目ラン仮ラベルレジスタ25は、前記注目ランレジスタ21が出力するラベルを保持して、これを仮ラベルLBとして出力する。即ち、該前注目ラン仮ラベルレジスタ25は、現在注目しているランの1つ前のランに付けられた仮ラベルを保持するレジスタである。

【0091】前記仮ラベルランメモリ14は、FIFO型のメモリであり、前記図4の変化点検出回路11aから変化点信号CDFが出力される毎に、前記注目ランレジスタ21から出力される各ランの始点アドレス、連結フラグ及び前記前注目ラン仮ラベルレジスタ25が出力する仮ラベルLBを順次格納する。なお、該仮ラベルラ

12

ンメモリ14から読み出されるランのデータは、前ラインランアドレスA2、前ラインラン仮ラベルL2、前ラインラン連結フラグF2とする。

【0092】図10は、本第1実施例の、前記右参照ランレジスタ、前記暫定ラベル1選択部、前記中参照ランレジスタ、前記左参照ランレジスタ、前記暫定ラベル2選択部、前記外部出力レジスタの周辺のブロック図である。

【0093】この図において、前記右参照ランレジスタ16は、注目画素の走査が進むに従って、前記アドレスカウンタ11bから出力される注目画素アドレスACTの値が、当該右参照ランレジスタ16に保持されているランの始点アドレスの値より“1”だけ小さくなると、右参照ランとなるべきランのデータを前記仮ラベルランメモリ14から読み出してこれを保持する。なお、前記仮ラベルランメモリ14から読み出された前ラインランアドレスA2及び前ラインラン連結フラグH2は、それぞれアドレスあるいはフラグとして該右参照ランレジスタ16に書き込まれるが、該仮ラベルランメモリ14から読み出された前ラインラン仮ラベルL2は、まず後述する暫定ラベルテーブル15を用いて所定の暫定ラベルを求め、これを当該右参照ランレジスタ16のラベルに書き込む。

【0094】なお、このように注目画素アドレスACTの値が右参照ランアドレスARの値より“1”だけ小さい値となったときには、データが失われないように、FIFO型メモリである仮ラベルランメモリ14からの読み出し直前に、前記外部出力レジスタ23に保持されているランのデータは、出力端子T2あるいはT3から外部に読み出され、前記左参照ランレジスタ17に保持されているランのデータは、前記外部出力レジスタ23にシフトされ、前記中参照ランレジスタ22に保持されているランのデータは、前記左参照ランレジスタ17にシフトされ、前記右参照ランレジスタ16に保持されているランのデータは、前記中参照ランレジスタ22へシフトされる。

【0095】なお、このシフトの際、中参照ランレジスタ22のラベルとしては、暫定ラベル1選択部20の出力が書き込まれる。該暫定ラベル1選択部は、前記暫定ラベル1選択判定器13kが出力する暫定ラベル1選択信号CZ1に従って、前記右参照ランレジスタ16が出力する右参照ランラベルLR、あるいは前記仮ラベル選択部19が出力する仮ラベルLT、あるいは後述する新ラベルカウンタ18が出力する新ラベルLNのいずれか1つのラベルを選択する。

【0096】又、前記シフトの際、前記外部出力レジスタ23に書き込まれるランのラベルは、前記暫定ラベル2選択部24が選択したラベルである。該暫定ラベル2選択部24は、前記暫定ラベル2選択判定器13mが出力する暫定ラベル2選択信号CZ2に従って、前記左参

13

照ランレジスタ17が出力する左参照ランラベルLL、あるいは前記右参照ランレジスタ16が出力する右参照ランラベルLRとのいずれか1つのラベルを選択する。

【0097】図11は、本第1実施例に用いられる暫定ラベルテーブルに関するブロック図である。

【0098】この図11に示される暫定ラベルテーブル15は、連結したラベルの相互関係を格納したテーブルである。即ち、ラベルの異なるランの連結の発生が検出されると、この暫定ラベルテーブル15に、連結したこれらランのラベルの相互関係が書き込まれる。又、連結しているランのラベルの統合の際等には、この暫定ラベルテーブル15の値が読み出される。この暫定ラベルテーブル15の読み出しは、仮ラベルに対して暫定ラベルを読み出すというものである。

【0099】なお、この暫定ラベルテーブル15へのラベルの相互関係の格納は、前記暫定ラベルテーブル制御器13fが出力する暫定ラベルテーブル制御信号CZTに従って行われる。

【0100】図12は、本第1実施例の新ラベルカウンタに関するブロック図である。

【0101】この新ラベルカウンタ18は、1画面のラベル付けの開始前に値が“1”にリセットされる。この後、新ラベルが付与される毎に、それぞれの新ラベルの付与の後、前記新ラベルカウンタ制御器13eが出力する新ラベルカウンタ制御信号CLNに従ってカウントアップされる。なお、該新ラベルカウンタ18の値は、新*

$$ZL \text{ [暫定ラベル]} = ZLTBL \text{ [仮ラベル]} \quad \dots (1)$$

【0107】(3) 注目ランレジスタ: ARUNRG アドレス部、ラベル部、フラグ部を有する。前記図9の注目ランレジスタ21に相当する。

【0108】(4) 右参照ランレジスタ: RRUNRG アドレス部、ラベル部、フラグ部を有する。前記図10の右参照ランレジスタ16に相当する。

【0109】(5) 左参照ランレジスタ: LRUNRG アドレス部、ラベル部を有する。前記図10の左参照ランレジスタ17に相当する。

【0110】(6) 新ラベルカウンタ: NEWLAB 前記図12の新ラベルカウンタ18に相当する。

【0111】(7) アドレスカウンタ: ADRCNT 前記図4のアドレスカウンタ11bに相当する。

【0112】(8) 画素データ: PIX 前記図4の入力端子T1から入力される注目画素に相当する。なお、PIX [アドレス] として、所定の注目アドレスの注目画素を示す。

【0113】(9) 前注目ラン仮ラベルレジスタ: TMPLRG ラベル部のみを有する。前記図9の前注目ラン仮ラベルレジスタ25に相当する。

$$TMPLRG = ARUNRG \text{ [ラベル]}$$

(注目ランレジスタの仮ラベルを前注目ラン仮ラベルレジスタへ書き込む)

(8)

特開平5-120425

14

*ラベルLNとして出力される。

【0102】図13～図16は、本第1実施例での処理内容毎の画素パターンの分類を示す線図である。

【0103】図13では、注目画素に変化が有り、且つ、右参照ラン及び中参照ランに変化がない画素パターンaのグループが示されている。図14では、注目画素に変化がなく、且つ、中参照ランに変化がある画素パターンbのグループが示されている。図15には、注目画素が変化し、且つ、中参照ランが変化するという、注目画素と中参照ランとの同時変化の画素パターンcのグループが示されている。図16には、注目画素の真上、即ち前ラインの注目アドレスの中参照ラン中の画素が“1”から“0”へと変化する画素パターンxのグループが示されている。

【0104】なお、以下の説明では、各構成要素及び各データを次の略称で示す。又、メモリやレジスタには、アドレス部とラベル部とフラグ部とを有するものがあるが、[アドレス]、[ラベル]、[フラグ]というように、それぞれの部分を示す。

20 【0105】(1) 仮ラベルランメモリ: TMPMEM アドレス、ラベル、フラグを有する。前記図9の仮ラベルランメモリ14に相当する。

【0106】(2) 暫定ラベルテーブル: ZLTBL 前記図11の暫定ラベルテーブル15に相当するテーブル内のデータ。該暫定ラベルテーブルからの暫定ラベルの読み出しは、次式のように表わす。

【0114】(10) 中参照ランレジスタ: CRUNRG

30 アドレス部、ラベル部を有する。前記図10の中参照ランレジスタ22に相当する。

【0115】(11) 連結フラグ: ATFLAG 前記図7の注目ラン連結フラグ13iに相当する。

【0116】(12) 新ラベル接続フラグ: NLFLAG

前記図7の新ラベル接続フラグ13jに相当する。

【0117】(13) 外部出力レジスタ: OUTRG アドレス部とラベル部とを有する。前記図10の外部出力レジスタ23に相当する。

40 【0118】以下、図13～図16に示されるそれぞれの画素パターン及びこれらの画素パターンに対応する処理を説明する。

【0119】まず、図13の画素パターンaのグループにおいて、画素パターンa₁は、注目画素が“0”から“1”へと変化し、且つ、“CRUNRG [ラベル] = 0”である。この画素パターンa₁において、まず、次式に示される処理が行われる。

【0120】

(9)

特開平5-120425

15

16

TMPMEM [アドレス] = ARUNRG [アドレス]

TMPMEM [ラベル] = TMPLRG

TMPMEM [フラグ] = ARUNRG [フラグ] ... (2)

【0121】この後、次式が成立する場合には、後述する
画素パターン x_2 の処理を行う。 *

if (ADRCNT = CRUNRD [アドレス]) ... (3)

【0123】成立しない場合には、連結フラグをセットする。 ※信号をCRUNRG [ラベル] にセットする。

【0124】ATFLAG=1 ... (4)

【0125】画素パターン a_2 は、注目画素が“0”から“1”へと変化し、且つ、“CRUNRG [ラベル] ≠ 0”である場合である。この画素パターン a_2 では、前記(2)式の処理を行った後、仮ラベル選択部の選択※

【0126】画素パターン a_3 は、注目画素が“1”から“0”へと変化し、且つ“CRUNRG [ラベル] = 0”である場合である。この画素パターン a_3 では、前記(2)式の処理を行った後、連結フラグのリセット等、次式に示される処理を行う。

【0127】

ATFLAG=0

if (TMPLRG = NEWLAB then NEWLAB++
NLFLAG=0 ... (5)

【0128】なお、上記(5)式中のNEWLAB++は、NEWLABのインクリメント(値を“1”だけ増加する)することを示す。 ★ ≠ 0”である場合である。この画素パターン a_4 では、前記(2)式の処理を行った後、次式に示されるような処理を行う。

【0129】画素パターン a_4 は、注目画素が“1”から“0”へと変化し、且つ、“CRUNRG [ラベル] ★

if (CRUNRG [ラベル] = NEWLAB) then NLFLAG=1
... (6)

【0131】図14の画素パターンbのグループにおいて、まず画素パターン b_1 は、注目画素が“0”のまま、且つ、中参照ランが“0”から“1”へと変化する☆

☆場合である。この画素パターン b_1 では、次式に示される処理を行う。

if (RRUNRG [フラグ] = 0)
then (暫定ラベル1選択の選択信号をNEWLABにセットする)
... (7)

【0133】

30

OUTRG [アドレス、ラベル、フラグ]
= LRUNRG [アドレス、ラベル、フラグ]
LRUNRG [アドレス、ラベル、フラグ]
= CRUNRG [アドレス、ラベル、フラグ]
CRUNRG [アドレス、ラベル、フラグ]
= RRUNRG [アドレス、ラベル、フラグ]
RRUNRG [アドレス] = TMPMEM [アドレス]
ZLTBL [ラベル] = TMPMEM [ラベル]
RRUNRG [ラベル] = ZLTBL [ラベル]
RRUNRG [フラグ] = TMPMEM [フラグ] ... (8)

【0134】なお、上記(8)式におけるOUTRG、LRUNRG、CRUNRGへの書き込みは、それぞれ、アドレス部、ラベル部、フラグ部全てが同時に行われる。即ち、前記暫定ラベル2選択部24では左参照ランレジスタ17 (LRUNRG) のラベルが選択され、前記暫定ラベル1選択部20では右参照ランレジスタ16 (RRUNRG) のラベルが選択される。

【0135】画素パターン b_2 は、注目画素が“1”のままであり、且つ、中参照ランが“0”から“1”へと変化する場合である。この画素パターン b_2 では、RRUNRG [フラグ] の値に従って、次のような処理が行われる。

【0136】(1) 画素パターン b_2 で、RRUNRG [フラグ] = 0の場合

if (ATFLAG=1)
then (暫定ラベル1選択の選択信号をNEWLABにセットする)
(仮ラベル選択の選択信号をNEWLABにセットする)

(10)

特開平5-120425

17

18

ATFLAG=0 (連結フラグリセット)

else (暫定ラベル1選択の選択信号を仮ラベルへセットする) … (9)

【0137】この後、前記(8)式に示される処理を行う * 【0138】(2)画素パターン b₂ で、RRUNRG
う。 * [フラグ] = 1の場合

if (ATFLAG=1)

then (仮ラベル選択の選択信号をRRUNRG [ラベル] にセットする

)

ATFLAG=0 (連結フラグリセット)

else if (仮ラベル<RRUNRG [ラベル])

then (暫定ラベル1選択の選択信号を仮ラベルにセットする)

ZLTBL {RRUNRG [ラベル]} = 仮ラベル

(これは暫定ラベルテーブルへの書き込み)

else (仮ラベル選択を行って、これをRRUNRG [ラベル] へ
書き込む)

(暫定ラベル2選択を行って、これをRRUNRG [ラベル]
] へ書き込む)

if (NLFLAG=1)

then ZLTBL {LRUNRG [ラベル]} = RRUNRG [ラベル]

… (10)

【0139】この後、前記(8)式の処理を行う。

【0140】画素パターン b₃ は、注目画素が“0”の
ままであり、且つ中参照ランが“1”から“0”へと変
化する場合である。この画素パターン b₃ では、前記
(8)式に示される処理を行う。

【0141】画素パターン b₄ は、注目画素が“1”の
ままであり、且つ、中参照ランが“1”から“0”へと
変化する場合である。この画素パターン b₄ では、前記※

※(8)式の処理を行う。

【0142】図15の画素パターンcのグループにおい
て、まず画素パターン c₁ は、注目画素が“0”から
“1”へと変化し、且つ中参照ランが“0”から“1”
へと変化する場合である。この画素パターン c₁ では、
前記(2)式の処理を行った後、次式に示されるような
一連の処理を行う。

【0143】

if (RRUNRG [フラグ] = 0)

then (暫定ラベル1選択の選択信号をNEWLABにセットする)

(仮ラベル選択の選択信号をNEWLABにセットする)

else (仮ラベル選択の選択信号をRRUNRG [ラベル] にセットする)

… (11)

【0144】この後、前記(8)式の処理を行う。

【0145】画素パターン c₂ は、注目画素が“0”か
ら“1”へと変化し、且つ、中参照ランが“1”から
“0”へと変化する場合である。この画素パターン c₂
では、前記(2)式の処理を行った後、仮ラベル選択の
選択信号をCRUNRG [ラベル] にセットする。

【0146】この後、前記(8)式の処理を行う。 ★40

ATFLAG=0

if (TMPLRG=NEWLAB)

then NEWLAB++

if (RRUNRG [フラグ] = 0)

then (暫定ラベル1選択の選択信号をNEWLABにセットする)

… (12)

【0149】この後、前記(8)式の処理を行う。

【0150】前記画素パターン c₄ は、注目画素が
“1”から“0”へと変化し、且つ、中参照ランが
“1”から“0”へと変化する場合である。この画素パ

★【0147】画素パターン c₃ は、注目画素が“1”か
ら“0”へと変化し、且つ、中参照ランが“0”から
“1”へと変化する場合である。この画素パターン c₃
では、前記(2)式の処理を行った後、連結フラグのリ
セット等、次式に示されるような処理が行われる。

【0148】

ターン c₄ では、前記(2)式の処理を行った後、次式
に示されるような処理が行われる。

【0151】

if (CRUNRG [ラベル] = NEWLAB)

(11)

特開平5-120425

19

20

then NLFLAG=1 ... (13)

【0152】この後、前記(8)式の処理を行う。

【0153】図16の画素パターンxのグループにおいて、まず画素パターンx₁は、注目画素の真上の画素、即ち前ラインの中参照ランでの注目アドレスの画素が“1”から“0”へと変化し、且つ、注目画素は“0”のままである場合である。この画素パターンx₁の場合は、次のような処理が行われる。

【0154】

*

*if (TMPLRG=NEWLAB)

then NEWLAB++

NLFLAG=0 ... (14)

【0155】画素パターンx₂は、注目画素の真上の画素、即ち前ラインの中参照ランでの注目アドレスの画素が“1”から“0”へと変化し、且つ、注目画素が“0”から“1”へと変化する場合である。この画素パターンx₂の場合には、次に示す処理が行われる。

【0156】

... (15)

(仮ラベル選択の選択信号をLRUNRG [ラベル] にセットする)

【0157】図17及び図18は、本第1実施例の1画素当りの動作を示すフローチャートである。

【0158】本実施例は、前記図3の全体図や、前記図4～図12のブロック図に示される通り、複数の部分で構成されており、互いに独立して動作するものもあり、互いに並行動作するものもある。前記図17及び図18のフローチャートは、このような本実施例の動作を、1画素に着目して描かれている。又、これら図17及び図18に示される処理は、前記図4の入力端子T1から画素が入力される毎に起動される。

【0159】この図17において、まずステップ104では、前記図4の入力端子T1から、注目画素となる次の画素を入力する。又、前記図4のアドレスカウンタ11bをインクリメントする。

【0160】ステップ106では、ステップ104で入力された今回の画素と同様に前回入力された画素とを比較することにより、前記図4の変化点検出回路11aは、今回の注目画素が変化点であるか判定する。変化点である場合には、次のステップ108へ進み、変化点でない場合には図18のステップ130へ進む。

【0161】ステップ108では、前記図5の右参照ラン比較器12bにおいて、アドレスカウンタADRCNTと、右参照ランレジスタRRUNRGとについて、次式が成立するか判定する。

【0162】

ADRCNT+1=RRUNRG ... (16)

【0163】上記(16)式が成立する場合は、ステップ114へと進み、不成立の場合にはステップ110へと進む。

【0164】ステップ110では、前記図5の中参照ラン比較器12aにおいて、アドレスカウンタADRCNTと中参照ランレジスタCRUNRGとについて、次式が成立するか判定する。

【0165】

ADRCNT=CRUNRG ... (17)

【0166】上記(17)式が成立する場合にはステップ116へ進み、不成立の場合はステップ118へと進む。

【0167】ステップ114では、前記図15を用いて

前述した該当する画素パターンc₁～c₄に対応する処理を行う。

【0168】ステップ116では、前記図16を用いて前述した画素パターンx₂に対応する処理を行う。

【0169】ステップ118では、前記図13を用いて前述した該当する画素パターンa₁～a₄に対応する処理を行う。

【0170】これらステップ114、116、118を終了すれば、これら図17及び図18に示される処理を全て終了する。

【0171】前記ステップ106で変化点ではないと判定された場合には、図18のフローチャートに示される処理が行われる。

【0172】この図18において、まずステップ130では、前記図5の右参照ラン比較器12bにおいて、アドレスカウンタADRCNTと右参照ランレジスタRRUNRGとについて、次式が成立するか判定する。

【0173】

ADRCNT+1=RRUNRG ... (18)

【0174】上記(18)式が成立する場合はステップ140へ進み、不成立の場合はステップ132へと進む。

【0175】ステップ132では、前記図5の中参照ラン比較器12aにおいて、アドレスカウンタADRCNTと中参照ランレジスタCRUNRGとについて、次式が成立するか判定する。

【0176】

ADRCNT=CRUNRG ... (19)

【0177】上記(19)式が成立する場合はステップ142へ進み、不成立の場合にはステップ144へと進む。

【0178】ステップ140では、前記図14を用いて前述した該当する画素パターンb₁～b₄に対応する処理を行う。

【0179】ステップ142では、前記図16を用いて前述した画素パターンx₁に対応する処理が行われる。

【0180】なお、図17及び図18におけるADRCNT、RRUNRG [アドレス]、CRUNRG [アドレス]は、それぞれ、前記図4～図12における、注目

(12)

特開平5-120425

21

画素アドレスACT、右参照ランアドレスAR、中参照ランアドレスACに相当する。

【0181】前記ステップ140あるいは142の後には、これら図17及び図18に示される処理を全て終了する。

【0182】図19は、本第1実施例のラベル付け経過を示す線図である。

【0183】この図19は、前記図21の従来のラベル付け経過に対応して作成されている。

【0184】この図19において、符号X、F、1~2 10は、前記図21の同符号のものと同一のである。

【0185】又、本第1実施例では、“F”とされた画素を含むランの連結フラグがセットされる。従って、連結フラグのセットの有無の判定でそのランとその前ラインのランとの連結の有無をすみやかに判定できる。

【0186】この図19において、符号E1からE5へと進むに従って、3行9列の画面の各画素へのラベル付けが進行する。又、この図19での符号E3までのラベル付け経過は、図21のG3までの経過と同じである。

【0187】この図19において、符号E4では、符号 20 e4 までのラベル付けが完了している。本実施例によれば、注目ランの他のランへの連結性が判定され、注目ランのラベルが連結先のラベルとなった場合には、該注目ランに連結している更に別のランのラベルもこれに合せて修正される。従って、この符号E4の段階では、連結されている全ての画素に共通の仮ラベル“1”が付与されている。従って、符号E5で示される最終段階においても、連結している全ての画素には同一の仮ラベル“1”が付与されている。

【0188】従って、本第1実施例によれば、発行され 30る仮ラベルの数を低減することができる。又、本実施例のFIFO型の仮ラベルランメモリ（作業用メモリ）の構成は、アドレス部とラベル部とフラグ部のみであり、構成要素が少なく、メモリ容量の低減を図ることができる。

【0189】図20は、本発明の第2実施例のブロック図である。

【0190】この図20に示されるラベル付け装置には、前記第1実施例と同一のラベル付け回路60を備えている。又、この第2実施例のラベル付け装置は、イメ 40ージメモリ62と、暫定ラベル付きランデータ格納メモリ64と、暫定ラベル本ラベル変換回路66と、本ラベル付きランデータ格納メモリ70と、ランドット変換回路72とを備えており、最終的にラベル付きドット画像74を出力する。

【0191】前記イメージメモリ62は、1画面分の2値のドット画像を記憶するメモリである。前記暫定ラベル付きランデータ格納メモリ64は、前記ラベル付け回路60が出力するランアドレスとランラベルとで構成された暫定ラベル付きランデータを格納する。即ち、該暫 50

22

定ラベル付きランデータ格納メモリは、前記図10の外部出力レジスタ23から出力端子T2、T3を介して出力されるデータが格納される。

【0192】前記暫定ラベル本ラベル変換回路66は、前記ラベル付け回路60の暫定ラベルテーブルを参照しながら、前記暫定ラベル付きランデータ格納メモリ64から1つずつ順に読み出されるランデータの暫定ラベルを本ラベルへと付け替え、ランアドレスと本ラベルのランラベルとで構成される本ラベル付きランデータを生成し、これをFIFO型メモリである前記本ラベル付きランデータ格納メモリ70へ出力する。

【0193】前記ランドット変換回路72は、前記本ラベル付きランデータ格納メモリ70からランデータを1つずつ順に読み出しながら、これを本ラベル付きドット画像へと変換していく。例えば、ある本ラベルのランの長さが8画素である場合には、この本ラベルが付与された合計8個のドットに変換する。

【0194】以上説明したように、本第2実施例によれば、前述のように様々な特徴を有する前記第1実施例を用いて、1画面分の2値のドット画像から本ラベル付きドット画像を生成することができる。

【0195】

【発明の効果】以上説明した通り、本発明によれば、仮ラベルランメモリの項目数の減少等、作業用メモリのメモリ容量の低減を図ることが可能であるという優れた効果を得ることができる。あるいは、本発明によれば、ラベル付けと平行して左参照ランの暫定ラベルを決定することができ、発行される暫定ラベルの数を低減することができ、作業用メモリのメモリ容量の低減、当該ラベル付け回路の次段の暫定ラベル本ラベル変換処理の負担を減少することができる等の優れた効果を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明の要旨を示すブロック図である。

【図2】図2は、注目画素と注目ランと注目ラインと前ラインと右参照ランと中参照ランと左参照ランとの関係を示す線図である。

【図3】図3は、本発明の第1実施例の全体ブロック図である。

【図4】図4は、前記第1実施例の画素データ入力部のブロック図である。

【図5】図5は、前記第1実施例の連結判定部のブロック図である。

【図6】図6は、前記第1実施例の連結ラベル比較部のブロック図の第1部分のブロック図である。

【図7】図7は、前記第1実施例の連結ラベル比較部のブロック図の第2部分のブロック図である。

【図8】図8は、前記第1実施例の連結ラベル比較部のブロック図の第3部分のブロック図である。

(13)

特開平5-120425

23

【図9】図9は、前記第1実施例の、仮ラベル選択部と注目ランレジスタと前注目ラン仮ラベルレジスタと仮ラベルランメモリとの周辺のブロック図である。

【図10】図10は、前記第1実施例の、右参照ランレジスタと暫定ラベル1選択部と中参照ランレジスタと左参照ランレジスタと暫定ラベル2選択部と外部出力レジスタとの周辺のブロック図である。

【図11】図11は、前記第1実施例に用いられる暫定ラベルテーブルに関するブロック図である。

【図12】図12は、前記第1実施例の新ラベルカウンタに関するブロック図である。

【図13】図13は、前記第1実施例の画素パターンaを示す線図である。

【図14】図14は、前記第1実施例の画素パターンbを示す線図である。

【図15】図15は、前記第1実施例の画素パターンcを示す線図である。

【図16】図16は、前記第1実施例の画素パターンxを示す線図である。

【図17】図17は、前記第1実施例の1画素当りの動作を示すフローチャートの第1部分のフローチャートである。

【図18】図18は、前記第1実施例の1画素当りの動作を示すフローチャートの第2部分のフローチャートである。

【図19】図19は、前記第1実施例のラベル付け経過を示す線図である。

【図20】図20は、本発明の第2実施例のブロック図である。

【図21】図21は、従来のラベル付け回路のラベル付け経過を示す線図である。

【符号の説明】

10…ラベル決定回路、
10a…連結判定部、
10b…ラベル決定部、
11…画素データ入力部、
11a…変化点検出回路、
11b…アドレスカウンタ、
11c…始点アドレスレジスタ、
12…連結判定部、
12a…中参照ラン比較器、
12b…右参照ラン比較器、

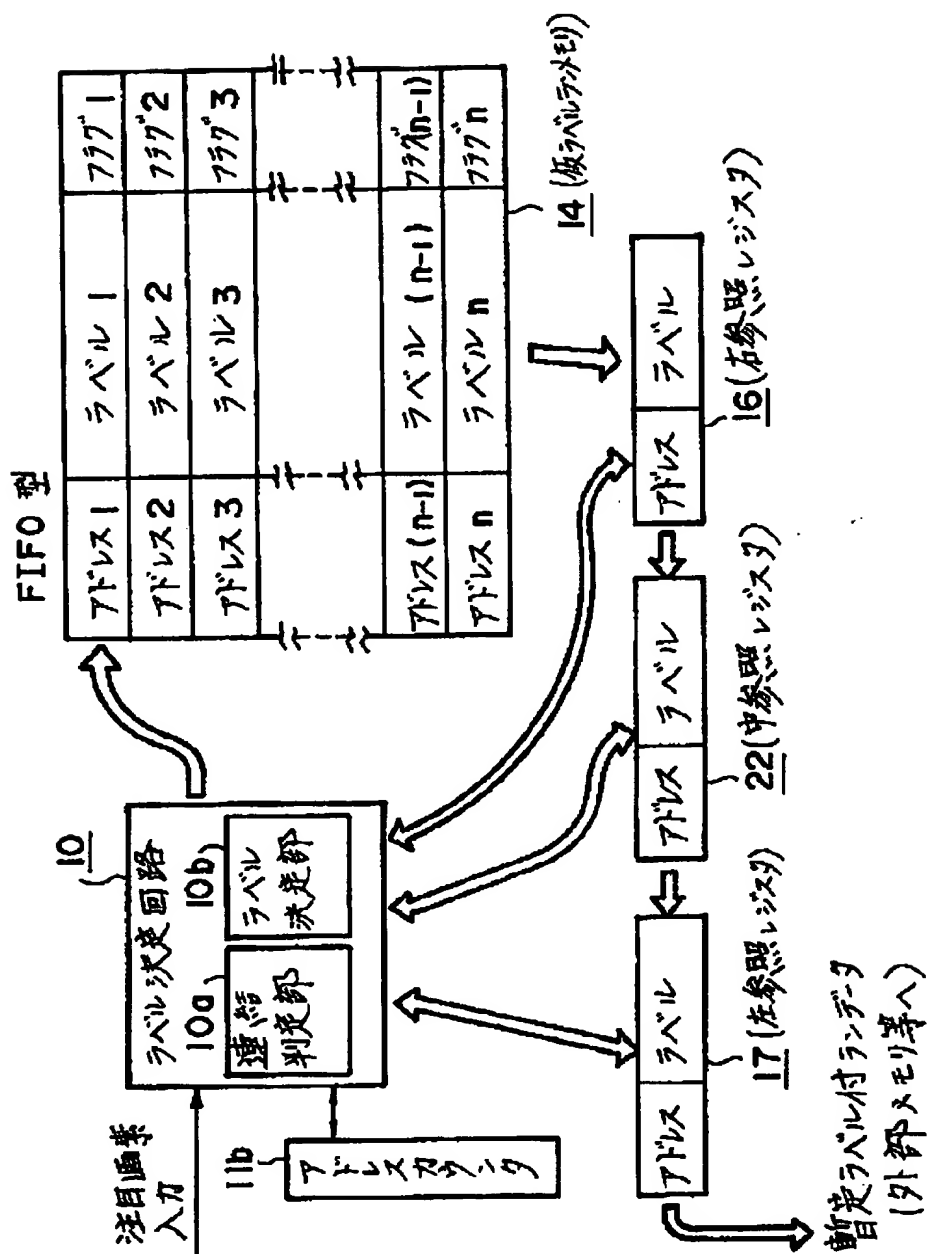
24

13…連結ラベル比較部、
13a…前注目ラン仮ラベル比較器、
13b…中参照ランラベル比較器、
13c…右参照ランラベル比較器、
13d…仮ラベル選択判定器、
13e…新ラベルカウンタ制御器、
13f…暫定ラベルテーブル制御器、
13g…注目ラン連結フラグ制御器、
13h…新ラベル接続フラグ制御器、
13i…注目ラン連結フラグ、
13j…新ラベル接続フラグ、
13k…暫定ラベル1選択判定器、
13m…暫定ラベル2選択判定器、
14…仮ラベルランメモリ、
15…暫定ラベルテーブル、
16…右参照ランレジスタ、
17…左参照ランレジスタ、
18…新ラベルカウンタ、
19…仮ラベル選択部、
20…暫定ラベル1選択部、
21…注目ランレジスタ、
22…中参照ランレジスタ、
23…外部出力レジスタ、
24…暫定ラベル2選択部、
25…前注目ラン仮ラベルレジスタ、
60…ラベル付け回路、
62…イメージメモリ、
64…暫定ラベル付きランデータ格納メモリ、
66…暫定ラベル本ラベル変換回路、
70…本ラベル付きランデータ格納メモリ、
72…ランドット変換回路、
74…ラベル付きドット画像、
TMPMEM…仮ラベルランメモリ、
ZLTBL…暫定ラベルテーブル、
ARUNRG…注目ランレジスタ、
RRUNRG…右参照ランレジスタ、
CRUNRG…中参照ランレジスタ、
LRUNRG…左参照ランレジスタ、
NEWLAB…新ラベルカウンタ、
40 ADRCNT…アドレスカウンタ、
a、a1～a4、b、b1～b4、c、c1～c4、x、
x1、x2…画素パターン。

(14)

特開平5-120425

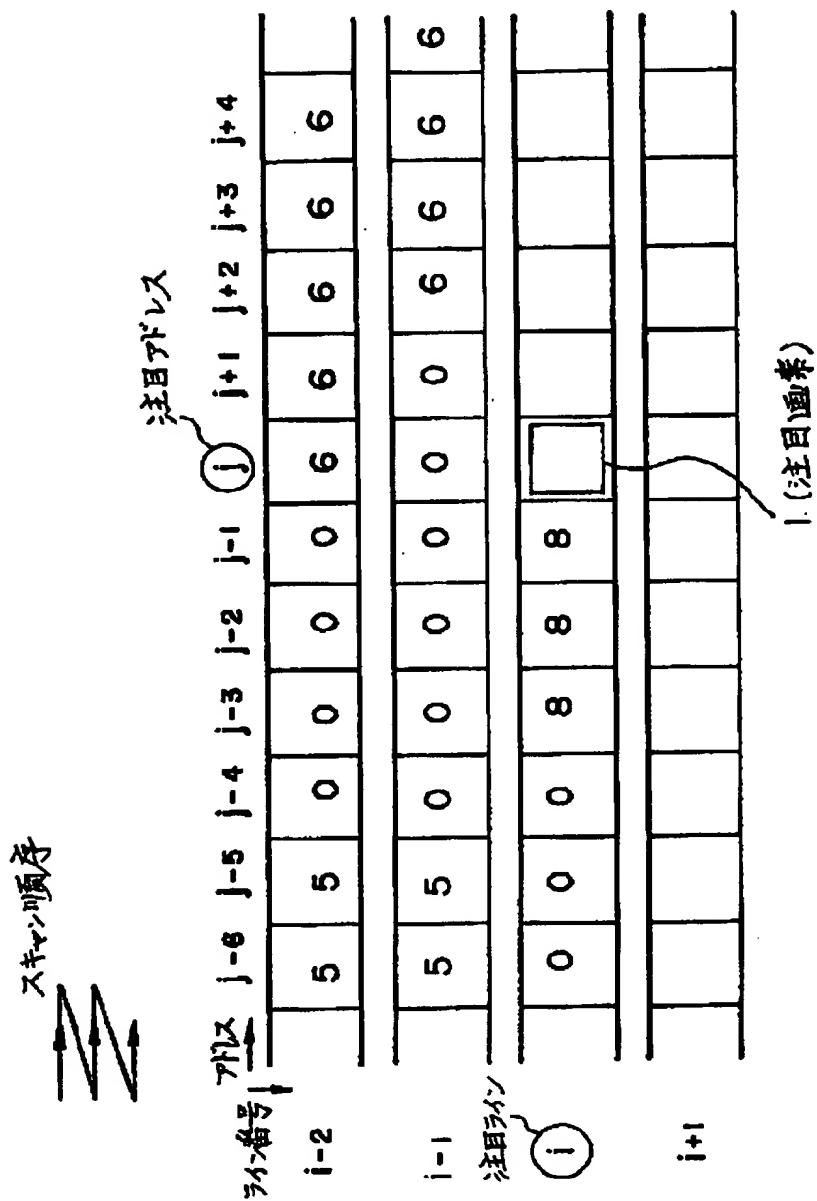
【图 1】



(15)

特開平5-120425

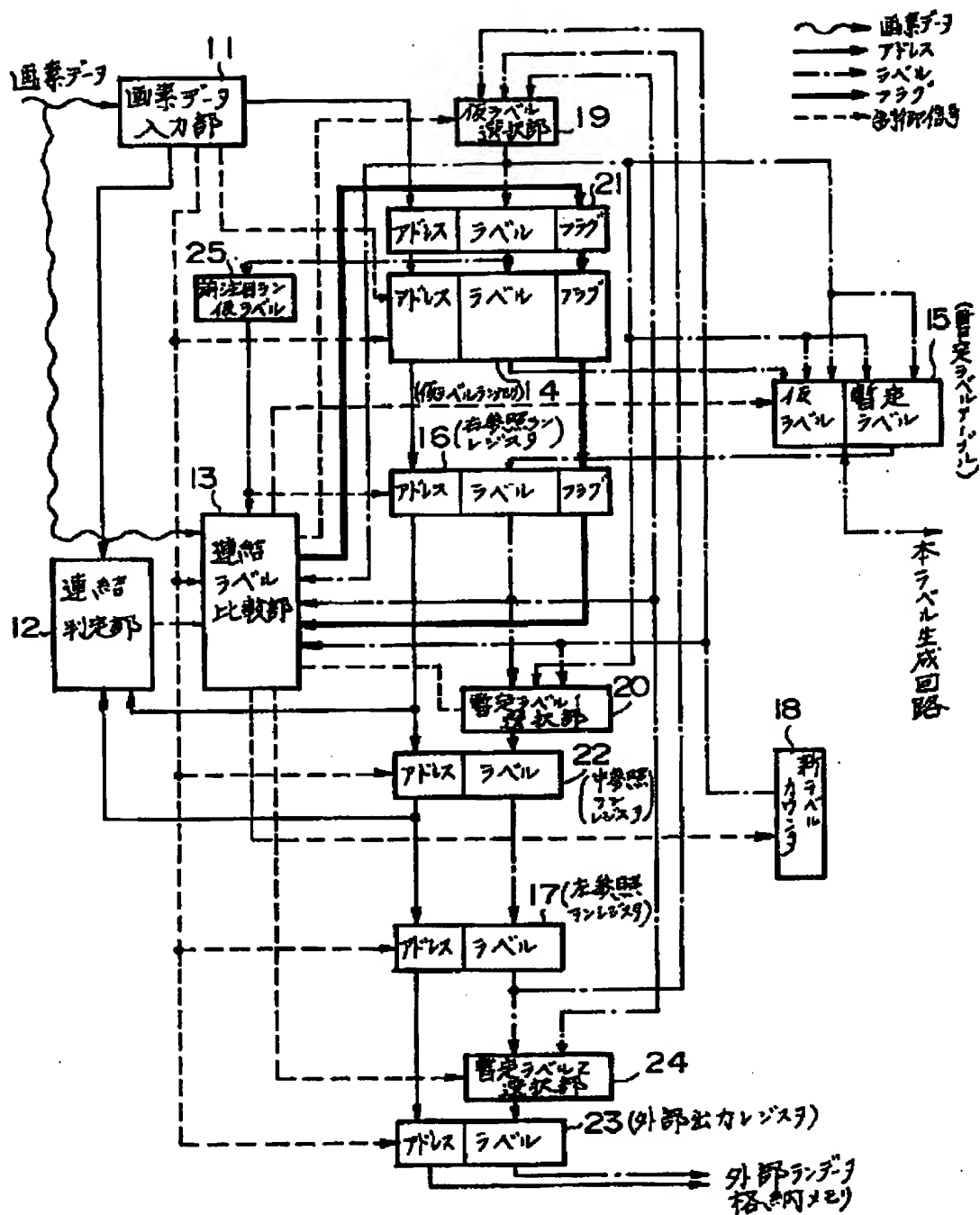
【図2】



(16)

特開平5-120425

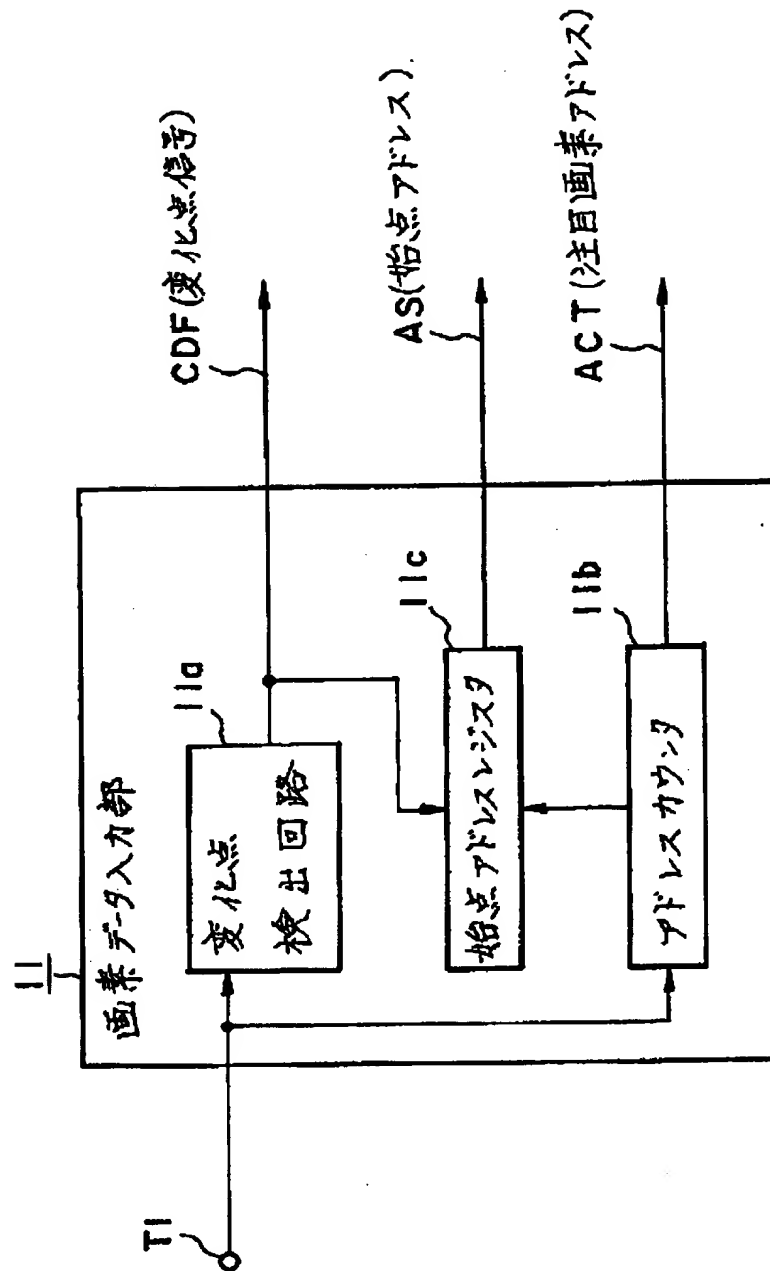
【図3】



(17)

特開平5-120425

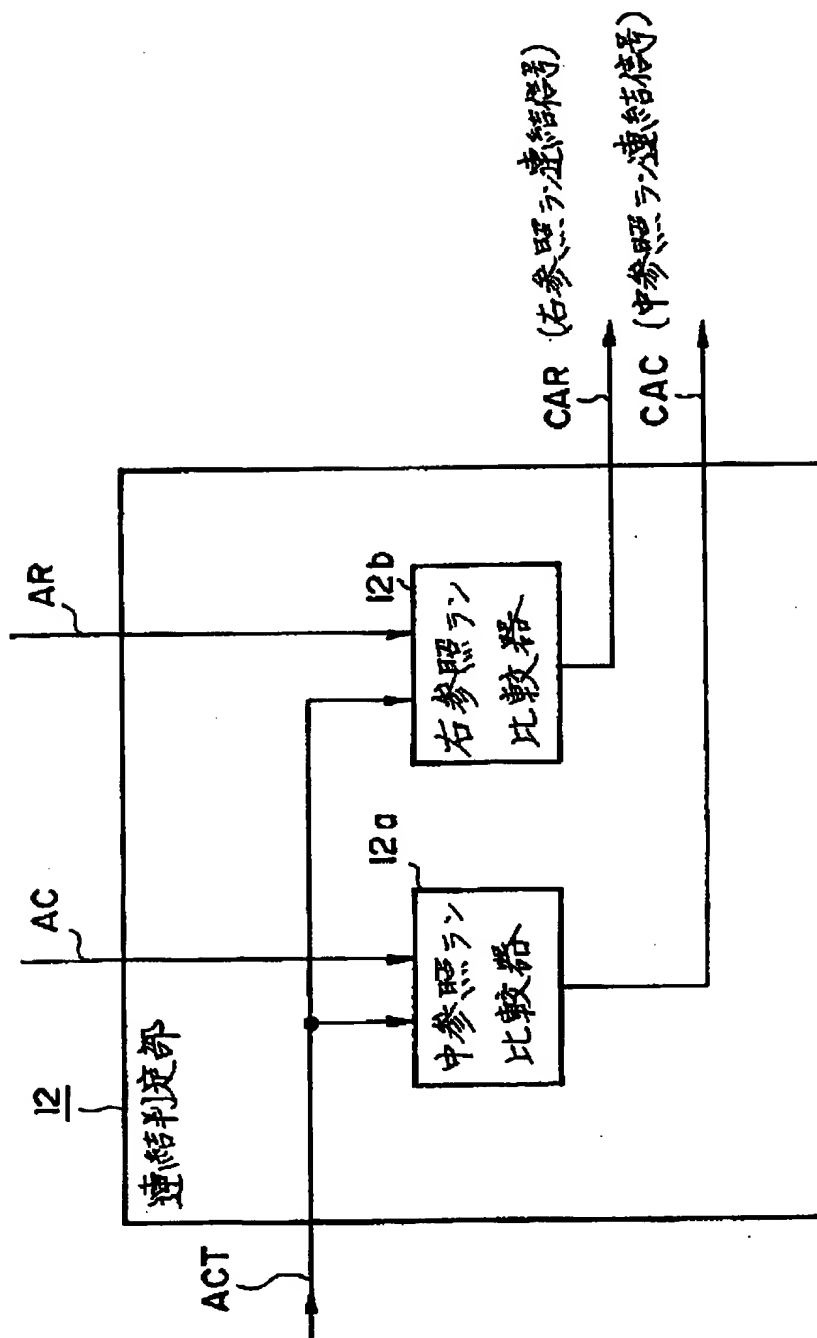
【図4】



(18)

特開平5-120425

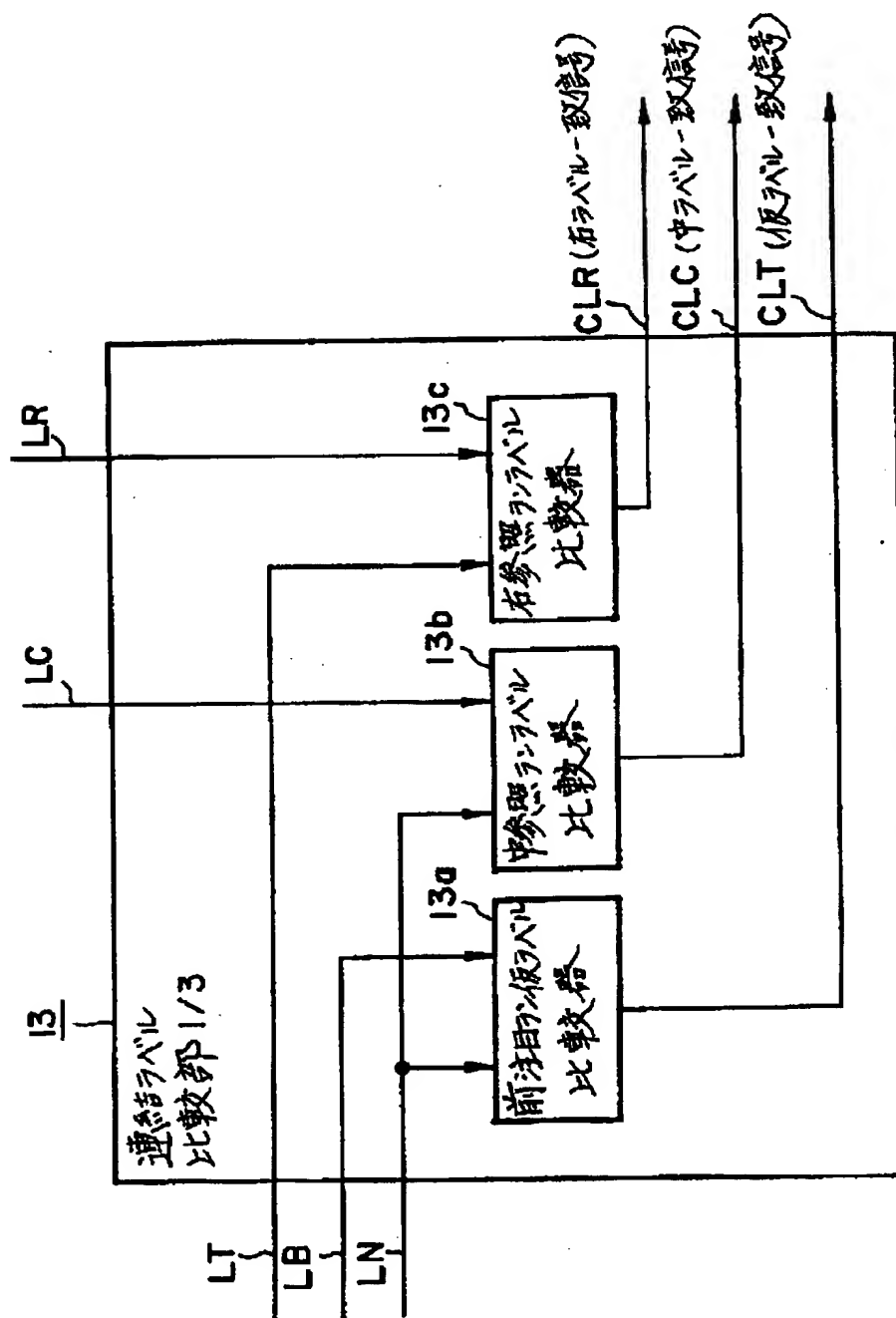
【図5】



(19)

特開平5-120425

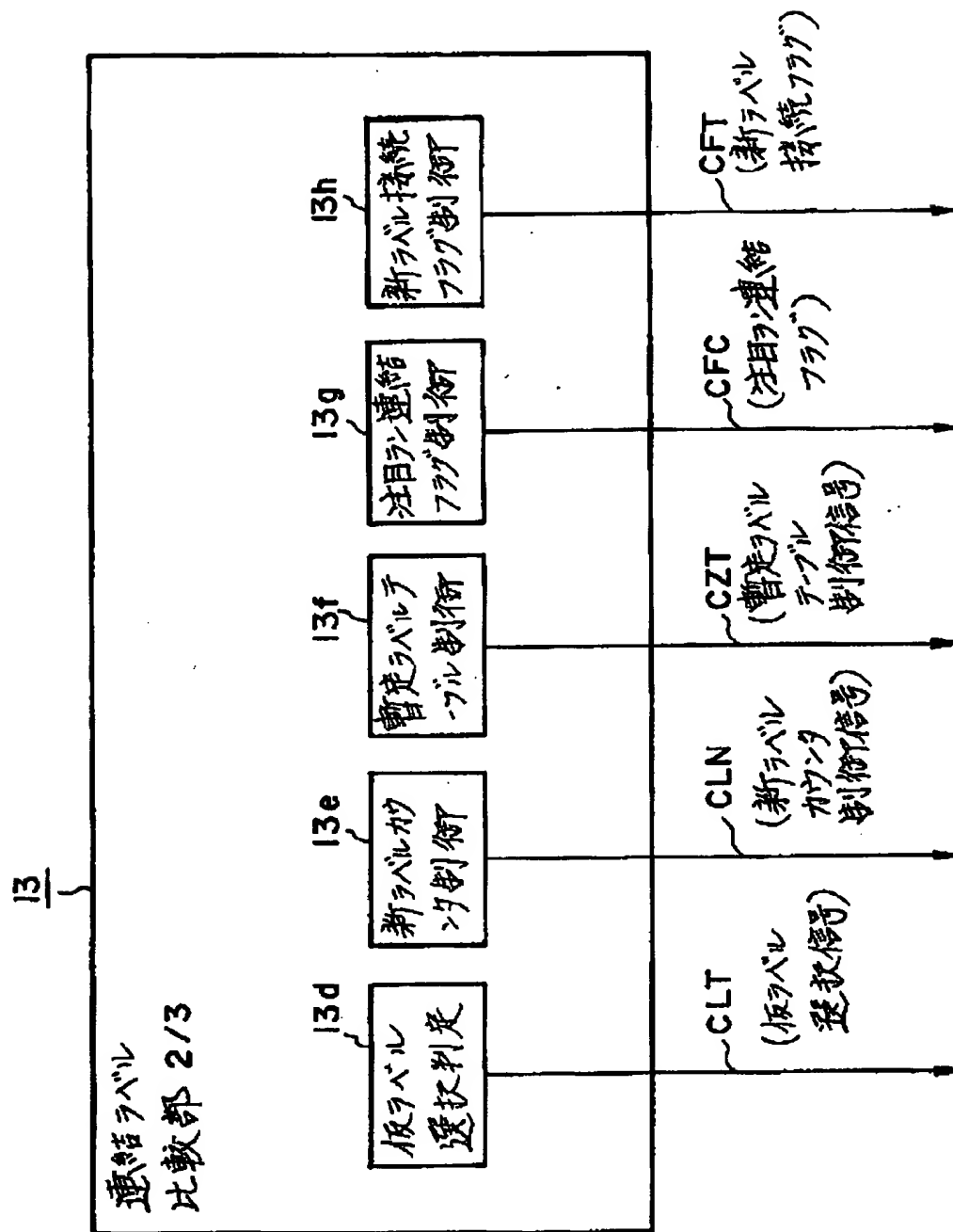
【図6】



(20)

特開平5-120425

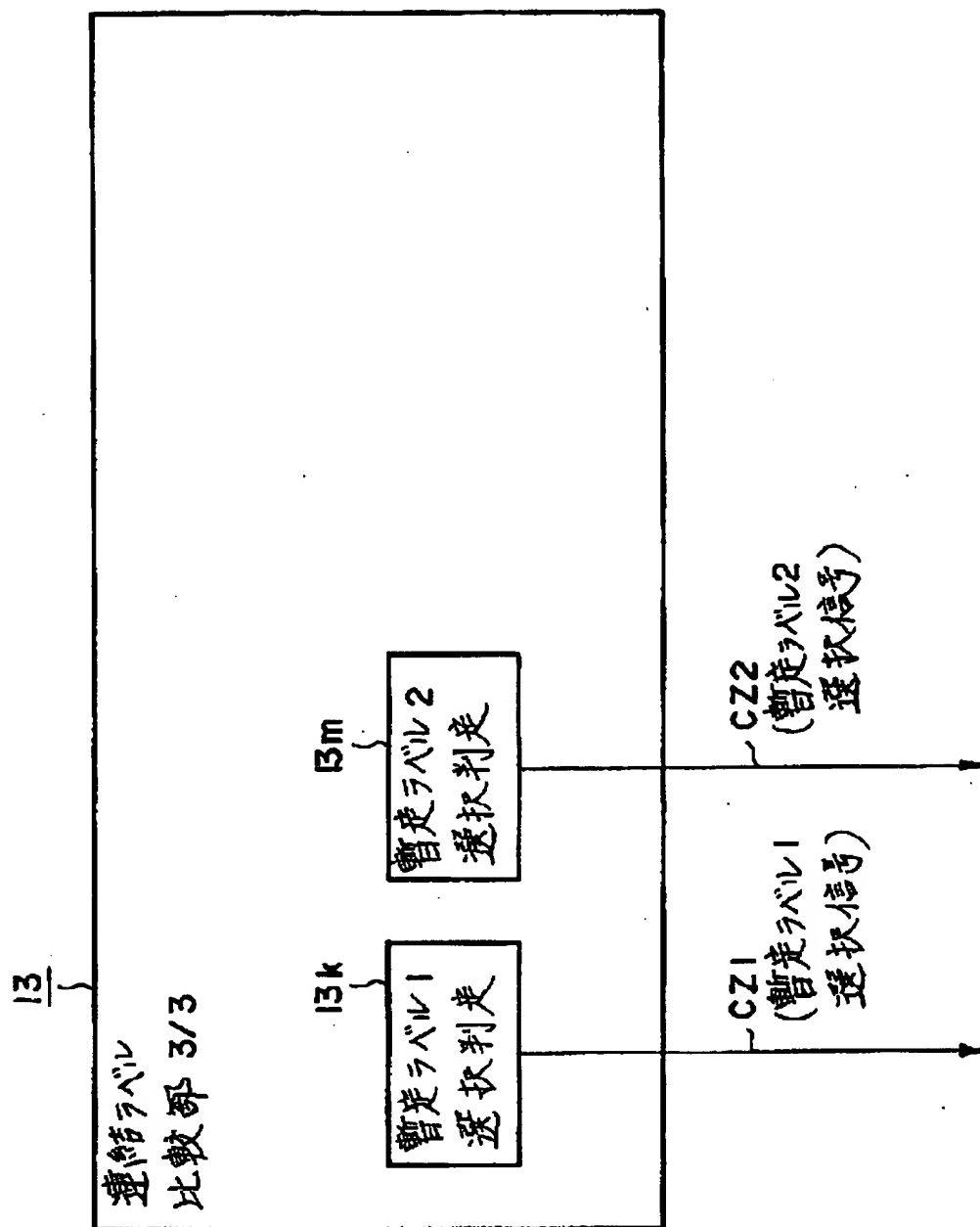
【図7】



(21)

特開平5-120425

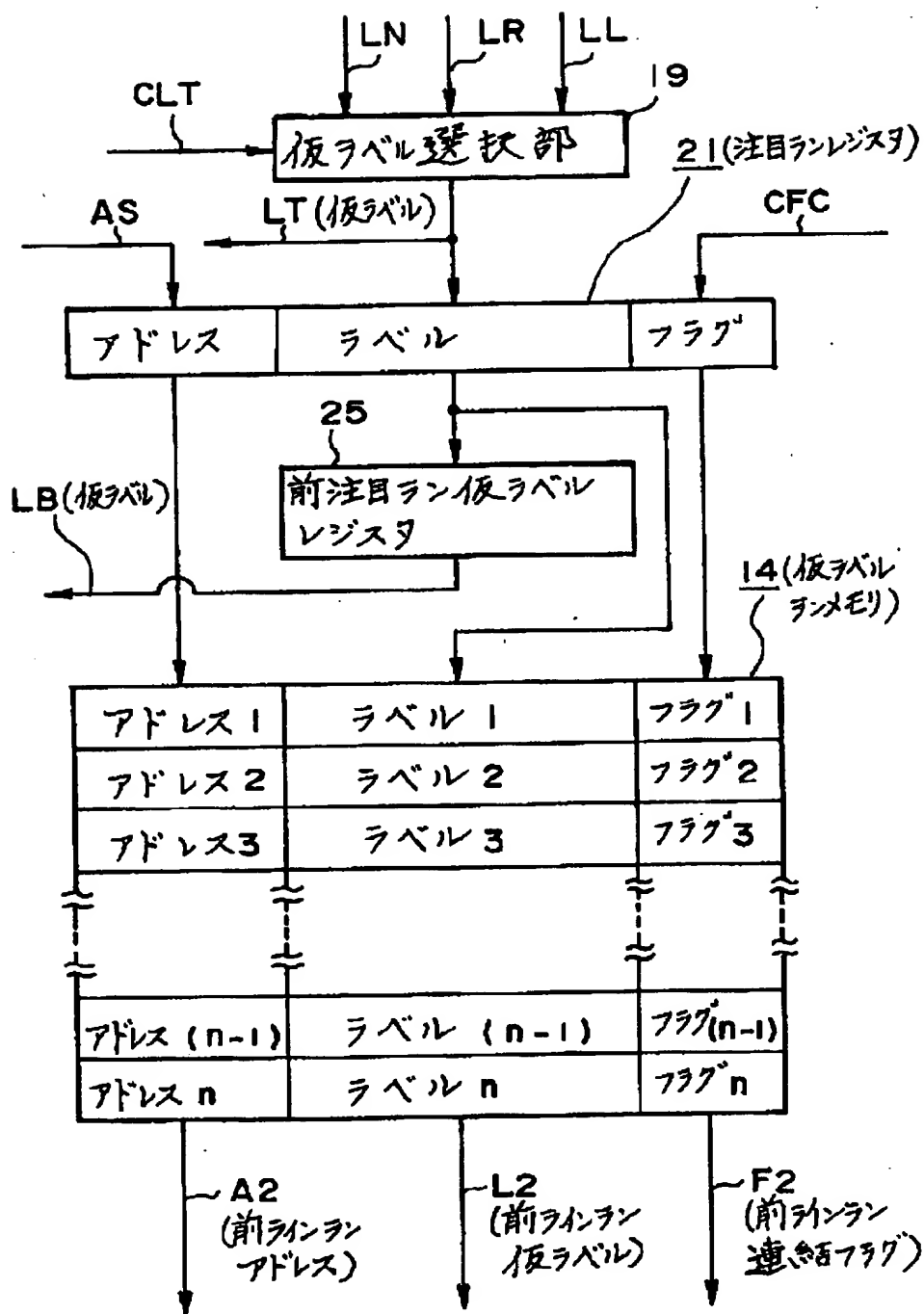
【図8】



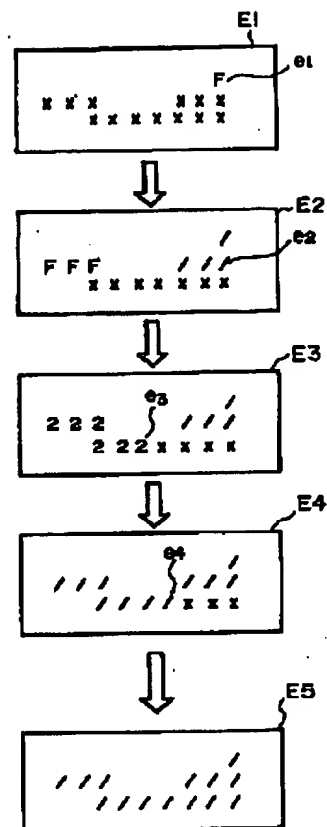
(22)

特開平5-120425

【図9】



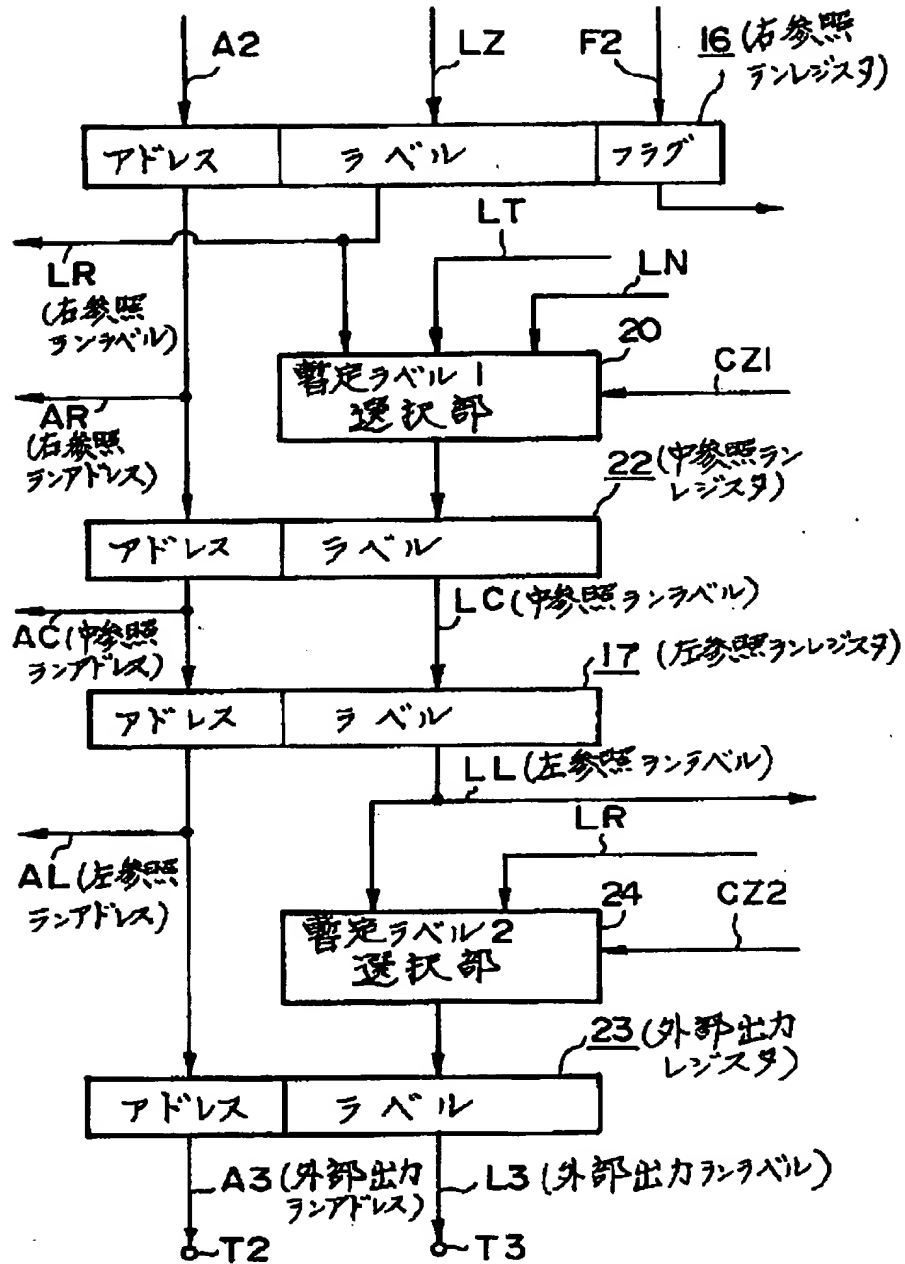
【図19】



(23)

特開平5-120425

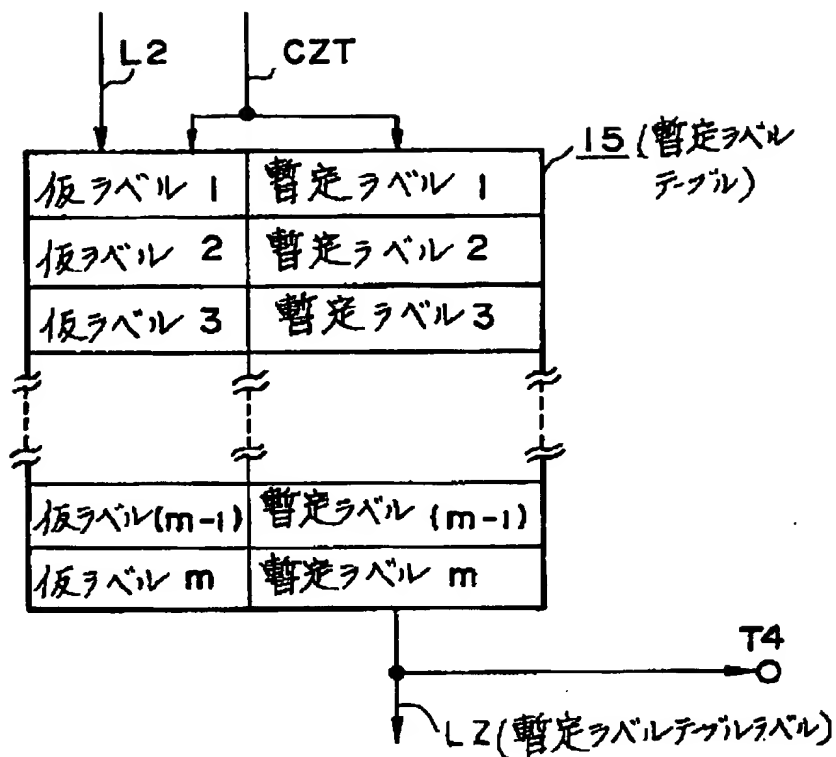
【図10】



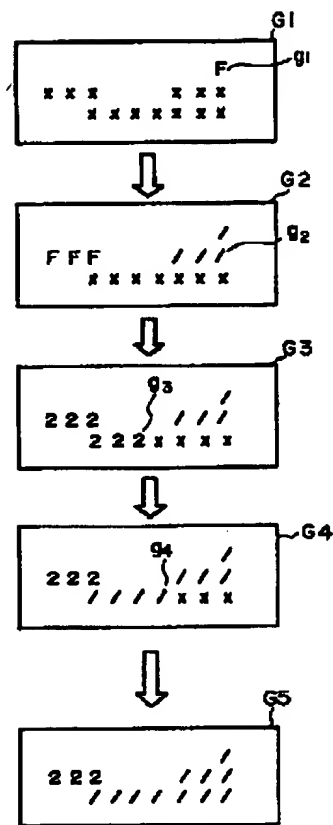
(24)

特開平5-120425

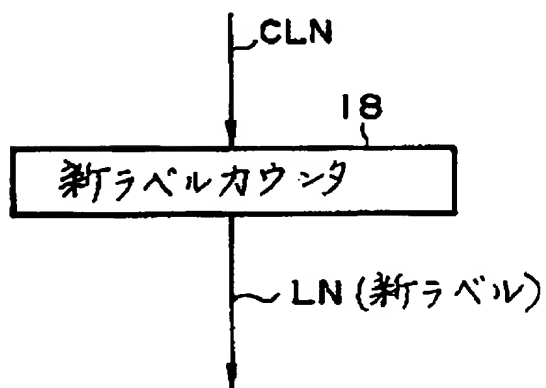
【図11】



【図21】



【図12】



(25)

特開平5-120425

【図13】

番号	画 素 パ タ ー ン	
	パターン図	説 明
a		注目画素変化あり かつ 中参照ラン変化なし
a ₁	000000 000 $\boxed{1}$	注目画素が“0→1” かつ CRUNRG [ラベル] が“0”
a ₂	111111 000 $\boxed{1}$	注目画素が“0→1” かつ CRUNRG [ラベル] が“1”
a ₃	000000 111 $\boxed{0}$	注目画素が“1→0” かつ CRUNRG [ラベル] が“0”
a ₄	111111 111 $\boxed{0}$	注目画素が“1→0” かつ CRUNRG [ラベル] が“1”

(26)

特開平5-120425

【図14】

番号	画 素 パ タ ー ン	
	パターン図	説 明
b		注目画素変化なし かつ 中参照ラン変化あり
b ₁	000 $\boxed{1}$ 11 00 $\boxed{0}$	注目画素は“0” かつ 中参照ランが“0→1”
b ₂	000 $\boxed{1}$ 11 11 $\boxed{1}$	注目画素は“1” かつ 中参照ランが“0→1”
b ₃	111 $\boxed{0}$ 00 00 $\boxed{0}$	注目画素は“0” かつ 中参照ランが“1→0”
b ₄	111 $\boxed{0}$ 00 11 $\boxed{1}$	注目画素は“1” かつ 中参照ランが“1→0”

(27)

特開平5-120425

【図15】

番号	画 素 パ タ ー ン	
	パターン図	説 明
c		注目画素が変化し、 かつ 中参照ランが変化
c ₁	000 $\boxed{1}$ 11 00 $\boxed{1}$	注目画素が“0→1” かつ 中参照ランが“0→1”
c ₂	111 $\boxed{0}$ 00 00 $\boxed{1}$	注目画素が“0→1” かつ 中参照ランが“1→0”
c ₃	000 $\boxed{1}$ 11 11 $\boxed{0}$	注目画素が“1→0” かつ 中参照ランが“0→1”
c ₄	111 $\boxed{0}$ 00 11 $\boxed{0}$	注目画素が“1→0” かつ 中参照ランが“1→0”

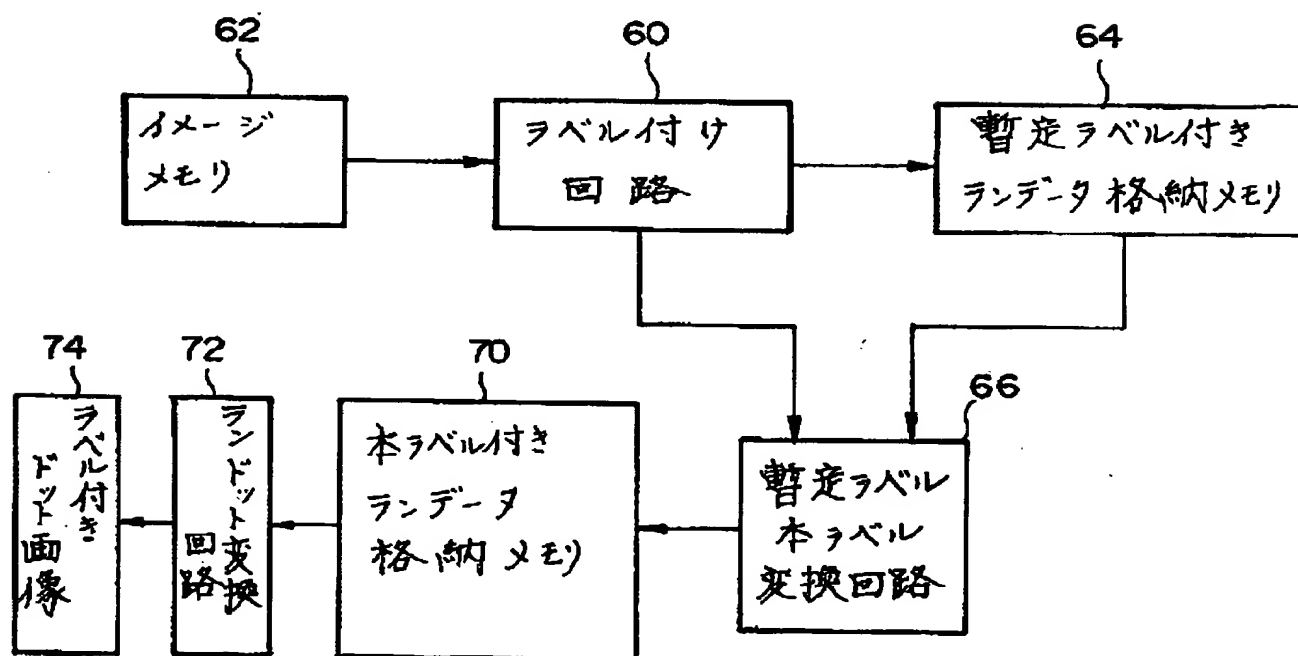
(28)

特開平5-120425

【図16】

番号	画 素 パ タ ー ン	
	パターン図	説 明
x		注目画素の真上（同アドレス）の中参照ランの画素が“1→0”
x ₁	1 1 1 0 0 0 0 0 0 0	上記x条件 かつ 注目画素が“0”のまま
x ₂	1 1 1 0 0 0 0 0 0 1	上記x条件 かつ 注目画素が“0→1”

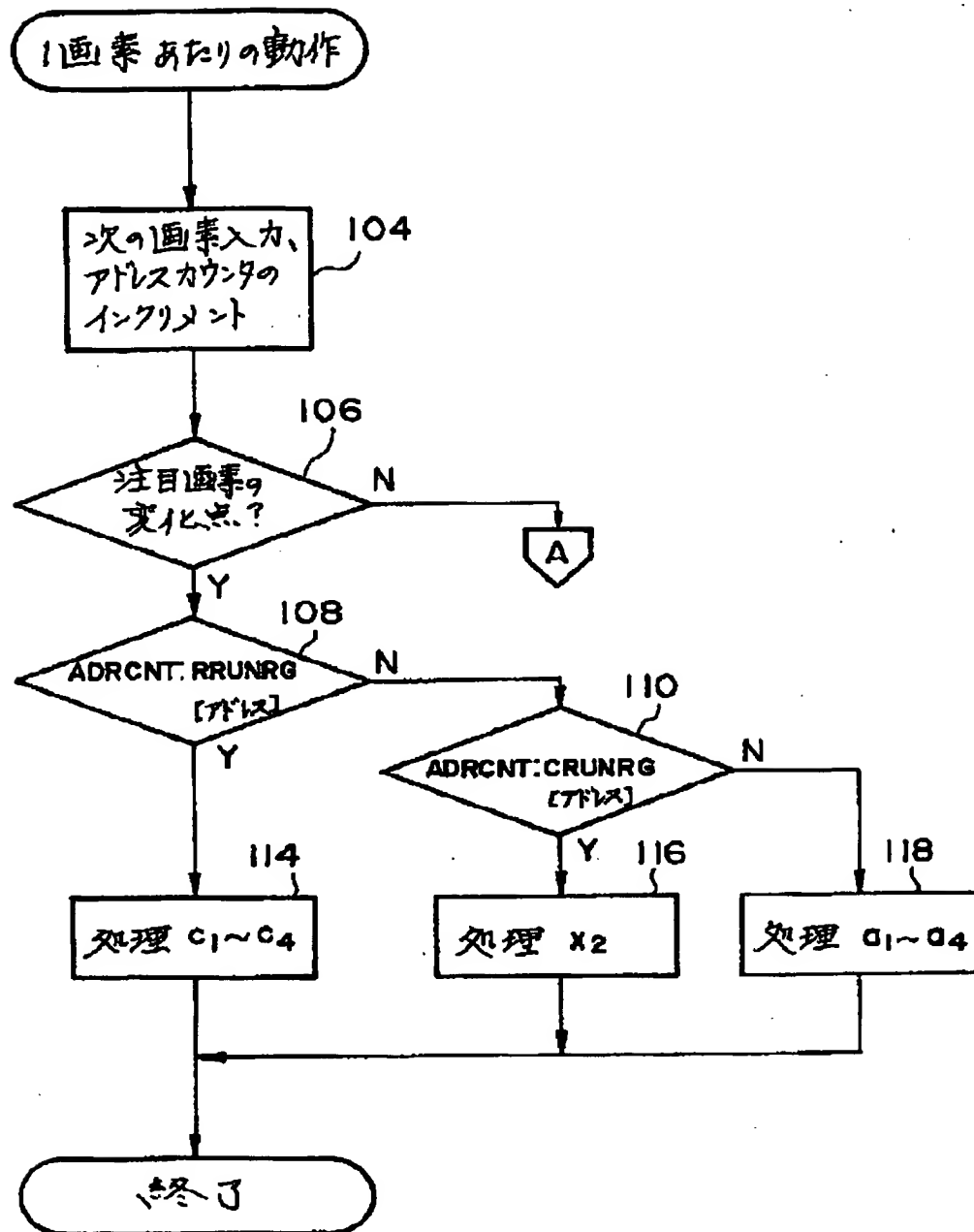
【図20】



(29)

特開平 5-120425

【図 17】



(30)

特開平5-120425

【図18】

